

U.S. Patent
Office
5/22/00

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1998年11月10日

出願番号
Application Number: 平成10年特許願第319671号

出願人
Applicant(s): 株式会社半導体エネルギー研究所

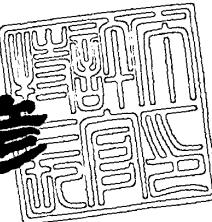
JC678 U.S. PRO
09/436984
11/09/99



1999年10月 1日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3066192

【書類名】 特許願

【整理番号】 P004021-01

【提出日】 平成10年11月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその作製方法

【請求項の数】 35

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 大谷 久

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 濱谷 敏次

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項1】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、

少なくとも前記配線の上部は、第2絶縁膜と接し、

前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項2】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、

少なくとも前記配線の上部は、第2絶縁膜と接し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域は前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項3】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、

少なくとも前記配線の上部は、第2絶縁膜と接し、

前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠

いほど前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項4】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、

少なくとも前記配線の上部は、第2絶縁膜と接し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4において、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項6】

請求項2または請求項4において、前記第1絶縁膜は前記チャネル形成領域、前記第1不純物領域及び前記第2不純物領域に接して設けられていることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項4において、前記第2絶縁膜は前記配線の上部または側部に接して設けられていることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7において、前記第2絶縁膜は窒化シリコン、酸化シリコン、酸化窒化シリコンから選ばれた材料、またはそれらの積層構造からなることを特徴とする半導体装置。

【請求項9】

請求項2または請求項4において、前記第1不純物領域に含まれる前記不純物の濃度は $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm³であり、前記第2不純物領域に含まれる前記不純物の濃度は $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³であることを特徴と

する半導体装置。

【請求項10】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記N TFTの活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項11】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域は前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項12】

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項13】

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項14】

請求項10乃至請求項13において、前記PTFTの活性層は、チャネル形成領域と、前記チャネル形成領域を挟む第4不純物領域のみで形成されていることを特徴とする半導体装置。

【請求項15】

請求項10乃至請求項13において、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項16】

請求項11または請求項13において、前記第1絶縁膜は前記チャネル形成領域、前記第1不純物領域及び前記第2不純物領域に接して設けられていることを特徴とする半導体装置。

【請求項17】

請求項11または請求項13において、前記第1不純物領域に含まれる前記不純物の濃度は $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm³であり、前記第2不純物領域に含まれる前記不純物の濃度は $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³であることを特徴とする半導体装置。

【請求項18】

請求項1乃至請求項17において、前記活性層は単結晶シリコン薄膜からなることを特徴とする半導体装置。

【請求項19】

請求項1乃至請求項18において、前記半導体装置とは液晶パネルであることを特徴とする半導体装置。

【請求項20】

請求項1乃至請求項18において、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体装置。

【請求項21】

絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む活性層を形成する第1工程と、

前記活性層の上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜の上に配線を形成する第3工程と、

前記配線をマスクとして、前記活性層に15族に属する元素を添加する第4工程と、

前記配線の側部にサイドウォールを形成する第5工程と、

前記配線及び前記サイドウォールをマスクとして、前記活性層に15族に属する元素を添加する第6工程と、

前記第1絶縁膜の一部を除去し、前記第6工程で形成された前記活性層の一部を露呈させる第7工程と、

前記第7工程で露呈した活性層に15族に属する元素を添加する第8工程と、

前記配線の上部に接して第2絶縁膜を形成する第9工程と、

前記活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項22】

絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む第1活性層及び

第2活性層を形成する第1工程と、

前記第1活性層及び前記第2活性層の上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜の上に配線を形成する第3工程と、

前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第4工程と、

前記配線の側部にサイドウォールを形成する第5工程と、

前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第6工程と、

前記第1絶縁膜を選択的に除去し、前記第6工程で形成された前記第1活性層の一部及び前記第2活性層の一部を露呈させる第7工程と、

前記第7工程で露呈した前記第1活性層及び前記第2活性層に15族に属する元素を添加する第8工程と、

前記配線の上部に接して第2絶縁膜を形成する第9工程と、

前記第1活性層及び前記第2活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、

前記第2絶縁膜を選択的に除去し、第10工程で形成された第2活性層の一部を露呈させる第11工程と、

前記第11工程で露呈した前記第2活性層を除去する第12工程と、

前記1絶縁膜を選択的に除去し、前記第2活性層の一部を露呈させる第13工程と、

前記第13工程で露呈した前記第2活性層に13族に属する元素を添加する第14工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項23】

請求項22において、最終的に、前記第1活性層にはチャネル形成領域と、異なる濃度で前記15族に属する元素を含む少なくとも三種類の不純物領域とが形成され、

前記第2活性層にはチャネル形成領域及び第4不純物領域のみが形成されることを特徴とする半導体装置の作製方法。

【請求項24】

請求項22において、最終的に、前記第1活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、前記第2活性層にはチャネル形成領域及び第4不純物領域のみが形成されることを特徴とする半導体装置の作製方法。

【請求項25】

請求項24において、前記サイドウォールは前記第1不純物領域の上方に形成されることを特徴とする半導体装置の作製方法。

【請求項26】

請求項24において、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記15族に属する元素の濃度が高いことを特徴とする半導体装置の作製方法。

【請求項27】

請求項21または請求項22において、最終的に、前記第1活性層にはチャネル形成領域と、異なる濃度で前記15族に属する元素を含む少なくとも三種類の不純物領域とが形成されることを特徴とする半導体装置の作製方法。

【請求項28】

請求項21または請求項22において、最終的に、前記第1活性層にはチャネル形成領域と、異なる濃度で前記15族に属する元素を含む第1不純物領域、第2不純物領域及び第3不純物領域とが形成されることを特徴とする半導体装置の作製方法。

【請求項29】

請求項27において、前記サイドウォールは前記第1不純物領域の上方に形成されることを特徴とする半導体装置の作製方法。

【請求項30】

請求項28において、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記15族に属する元素の濃度が高いことを特徴とする半導体装置の作製方法。

【請求項31】

請求項21、請求項22、請求項25または請求項29において、前記サイドウォールはシリコンを主成分とする材料で形成されることを特徴とする半導体装置の作製方法。

【請求項32】

請求項21乃至請求項31において、前記触媒元素は、Ni、Ge、Co、Fe、Pd、Sn、Pb、Pt、Cu、Au、またはSiから選ばれた一種または複数種の元素であることを特徴とする半導体装置の作製方法。

【請求項33】

請求項21乃至請求項32において、前記活性層は単結晶シリコン薄膜からなることを特徴とする半導体装置の作製方法。

【請求項34】

請求項21乃至請求項33において、前記半導体装置とは液晶パネルであることを特徴とする半導体装置の作製方法。

【請求項35】

請求項21乃至請求項33において、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パソコン用コンピュータまたは携帯情報端末であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は薄膜トランジスタで構成された回路を有する半導体装置に関する。例えば、液晶表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、上記電気光

【0002】

【従来の技術】

近年、ポリシリコン膜を利用した薄膜トランジスタ（以下、TFTと呼ぶ）で回路を構成したアクティブラチックス型液晶表示装置が注目されている。これは

マトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】

この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAと高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバー回路は非常に複雑かつ多くのTFTによって形成される。

【0004】

実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバーともに高い信頼性が確保されなければならない。特に、ドライバー回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【0005】

ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】

本出願人は、MOSFETには信頼性の面で三つの有利点があると考えた。が高い理由として次のような推論をした。図2（A）に示したのはMOSFETの概略図である。201は単結晶シリコン基板に形成されたドレイン領域、202はLDD（ライトドープドレイン）領域である。また、203はフィールド絶縁膜であり、ゲート配線204の直下はゲート絶縁膜205である。

【0007】

この時、信頼性の面で三つの有利点があると考えた。まず第1の有利点は、LDD領域202からドレイン領域201に向かって不純物濃度に勾配がみられる点である。図2（B）に示すように、従来のMOSFETはLDD領域202からドレイン領域201に向かうにつれて次第に不純物濃度が高くなる。この勾配

【0008】

次に第2の有利点は、LDD領域202とゲート配線204とがオーバーラップしている点である。この構造はGOLD (gate-drain overlapped LDD) やLATID (large-tilt-angle implanted drain) などが知られている。こうすることでLDD領域202の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0009】

次に第3の有利点は、LDD領域202とゲート配線204との間にある程度の距離が存在する点である。これはフィールド絶縁膜203がゲート配線直下に潜り込むような形で形成されることによる。即ち、オーバーラップ部分のみゲート絶縁膜の膜厚が厚くなった状態となるので、効果的な電界緩和が期待できる。

【0010】

このように、従来のMOSFETはTFTと比較するといくつかの有利点をもち、その結果、高い信頼性を有すると考えられる。

【0011】

また、こういったMOSFETの利点をTFTに応用しようという試みもなされている。例えば、「M.Hatano,H.Akimoto, and T.Sakai, IEDM97 TECHNICAL DIGEST,p523-526,1997」ではシリコンで形成したサイドウォールを用いてGOLD構造を実現している。

【0012】

しかしながら、同論文に公開された構造では通常のLDD構造に比べてオフ電流 (TFTがオフ状態にある時に流れる電流) が大きくなってしまうという問題があり、そのための対策が必要であった。

【0013】

【発明が解決しようとする課題】

以上示してきたように、本出願人はTFTとMOSFETとを比較した時に、TFTの構造上の問題が信頼性（特にホットキャリア耐性）に影響していると考えた。

【0014】

本願発明はそのような問題点を克服するための技術であり、MOSFETと同

等またはそれ以上の信頼性を誇るTFTを実現することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0015】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、少なくとも前記配線の上部は、第2絶縁膜と接し、前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする。

【0016】

また、他の発明の構成は、

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、少なくとも前記配線の上部は、第2絶縁膜と接し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域は前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする。

【0017】

また、他の発明の構成は、

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、

少なくとも前記配線の上部は、第2絶縁膜と接し、
 前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、
 前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記不純物の濃度が高いことを特徴とする。

【0018】

また、他の発明の構成は、
 活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線及びサイドウォールとを有するTFTを含む半導体装置であって、
 少なくとも前記配線の上部は、第2絶縁膜と接し、
 前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、
 前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、
 前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高いことを特徴とする。

【0019】

なお、本願発明はCMOS回路を含む半導体装置に対しても有効である。その場合、発明の構成は、
 活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するNTFT及びPTFTでなるCMOS回路を含む半導体装置であって、
 前記NTFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、
 前記NTFTの活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、
 前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする。

【0020】

また、他の発明の構成は、

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域は前記第1絶縁膜を介して前記サイドウォールと重なっていることを特徴とする。

【0021】

また、他の発明の構成は、

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域と、異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記不純物の濃度が高いことを特徴とする。

【0022】

また、他の発明の構成は、

活性層と、前記活性層に接した第1絶縁膜と、前記第1絶縁膜に接した配線とを有するN TFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記N TFTのみ前記配線の上部に第2絶縁膜と、前記配線の側部にサイドウォールとを有し、

前記活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高いことを特徴とする。

【0023】

また、本願発明では活性層の構造（特にNチャネル型TFTの場合）に大きな特徴があり、そのため作製方法にも特徴がある。本願発明を実施するための作製方法に関する発明の構成は、

絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む活性層を形成する第1工程と、

前記活性層の上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜の上に配線を形成する第3工程と、

前記配線をマスクとして、前記活性層に15族に属する元素を添加する第4工程と、

前記配線の側部にサイドウォールを形成する第5工程と、

前記配線及び前記サイドウォールをマスクとして、前記活性層に15族に属する元素を添加する第6工程と、

前記第1絶縁膜の一部を除去し、前記第6工程で形成された前記活性層の一部を露呈させる第7工程と、

前記第7工程で露呈した活性層に15族に属する元素を添加する第8工程と、

前記配線の上部に接して第2絶縁膜を形成する第9工程と、

前記活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、
を有することを特徴とする。

【0024】

また、他の発明の構成は、

絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む第1活性層及び第2活性層を形成する第1工程と、

前記第1活性層及び前記第2活性層の上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜の上に配線を形成する第3工程と、

前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第4工程と、

前記配線の側部にサイドウォールを形成する第5工程と、

前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第6工程と、

前記第1絶縁膜を選択的に除去し、前記第6工程で形成された前記第1活性層の一部及び前記第2活性層の一部を露呈させる第7工程と、

前記第7工程で露呈した前記第1活性層及び前記第2活性層に15族に属する元素を添加する第8工程と、

前記配線の上部に接して第2絶縁膜を形成する第9工程と、

前記第1活性層及び前記第2活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、

前記第2絶縁膜を選択的に除去し、第10工程で形成された第2活性層の一部を露呈させる第11工程と、

前記第11工程で露呈した前記第2活性層を除去する第12工程と、

前記1絶縁膜を選択的に除去し、前記第2活性層の一部を露呈させる第13工程と、

前記第13工程で露呈した前記第2活性層に13族に属する元素を添加する第14工程と、

を有することを特徴とする。

【0025】

【発明の実施の形態】

本願発明の一実施形態について図1を用いて説明する。なお、図1では断面図を示し、上面から見た図を図14に示す。図1において、101は絶縁表面を有する基板である。例えば酸化シリコン膜を設けたガラス基板、石英基板、ステンレス基板、金属基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。

【0026】

本願発明の特徴は、Nチャネル型TFT（以下、NTFTという）の活性層の

構成にある。N TFT の活性層は、チャネル形成領域 102、一対の第1不純物領域 103、一対の第2不純物領域 104 及び一対の第3不純物領域 105 を含んで形成されている。なお、各不純物領域に添加されている不純物とは代表的には 15 族に属する元素（代表的にはリン又は砒素）である。

【0027】

この時、チャネル形成領域 102（109 も同様）は真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³ の濃度でボロンが添加された半導体層である。ボロンはしきい値電圧の制御用やパンチスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同程度に添加される。

【0028】

なお、本願発明で用いることのできる半導体層とはシリコン、ゲルマニウム、又はシリコンゲルマニウムなど、シリコンを主成分とする半導体層だけでなく、ガリウム砒素などの化合物半導体層を用いることも可能である。また、本願発明は活性層に非晶質半導体（アモルファスシリコン等）を用いた TFT にも結晶を含む半導体（単結晶半導体薄膜、多結晶半導体薄膜、微結晶半導体薄膜を含む）を用いた TFT にも適用できる。

【0029】

また、N TFT の第1不純物領域 103 は $0.1 \sim 1 \mu\text{m}$ （代表的には $0.1 \sim 0.5 \mu\text{m}$ 、好ましくは $0.1 \sim 0.2 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm³（代表的には $5 \times 10^{15} \sim 5 \times 10^{16}$ atoms/cm³、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16}$ atoms/cm³）の濃度で 15 族に属する元素（代表的にはリン）を含む。なお、この時の不純物濃度を (n^-) で表すことにする（本明細書では n^- 領域を第1不純物領域という）。

【0030】

なお、本明細書中において、特に指定がない限り「不純物」とは 13 族または 15 族に属する元素を指して用いる。また、各不純物領域は作製プロセスの過程で領域の大きさ（面積）が変化するが、本明細書では面積が変化しても濃度が変化しない限りは同一の符号で説明するものとする。

【0031】

また、第2不純物領域104は、 $0.5 \sim 2 \mu\text{m}$ （代表的には $1 \sim 1.5 \mu\text{m}$ ）の長さを有し、不純物の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ （代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ ）である。この第2不純物領域に含まれる不純物濃度は第1不純物領域に含まれる不純物濃度の5～10倍となるように調節すれば良い。なお、この時の不純物濃度を（n）で表すこととする（本明細書ではn領域を第2不純物領域という）。

【0032】

また、第3不純物領域105は、 $2 \sim 20 \mu\text{m}$ （代表的には $3 \sim 10 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度で15族に属する元素を含む。この第3不純物領域はソース配線又はドレイン配線と電気的に接続するためのソース領域またはドレイン領域となる。なお、この時の不純物濃度を（n⁺）で表すこととする（本明細書ではn⁺領域を第3不純物領域という）。

【0033】

さらに、本願発明では、この第3不純物領域105がチャネル形成領域102の内部から、チャネル形成領域の結晶化に用いた触媒元素をゲッタリングする上で非常に重要な役割を果たす。その効果について簡単に説明する。

【0034】

本願発明では非晶質半導体膜の結晶化において、結晶化を助長するための触媒元素（代表的にはニッケル）を用いる。しかし、ニッケルは金属元素であるため、チャネル形成領域に残存してしまうとリーク電流の要因ともなりうる。即ち、触媒元素を用いた後で、その触媒元素を少なくともチャネル形成領域内から除去するための工程を設けることが望ましい。

【0035】

本願発明は触媒元素を除去するためにソース領域及びドレイン領域に存在する15族に属する元素（好ましくはリン）を用いることに特徴がある。即ち、ソース領域及びドレイン領域（第3不純物領域105）を形成した後で、熱処理を行

うことによりチャネル形成領域内に残存するニッケルを第3不純物領域105にゲッタリング（捕獲）させるのである。こうしてチャネル形成領域102内から結晶化に用いた触媒元素を除去することができる。

【0036】

従って、第3不純物領域105にはゲッタリングされた触媒元素が集まって高濃度に存在する。本出願人がSIMS（質量二次イオン分析）で調べた結果、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ）の濃度で触媒元素が存在することが分かった。ただし、第3不純物領域105は電極としての機能を果たせば良いので、触媒元素が大量に存在していても何ら問題は生じない。

【0037】

その一方で、チャネル形成領域102の触媒元素の濃度はゲッタリングの作用により大幅に低減（または除去）された。本出願人がSIMSで調べた結果、チャネル形成領域102中の触媒元素の濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{atoms/cm}^3$ ）にまで低減されていることがわかった。このように、同一活性層内であっても位置によって触媒元素の濃度に大きな差（100～1000倍）の差）が見られる点も本願発明の特徴となる。

【0038】

以上のように本願発明のNTFTの活性層は、最終的に、チャネル形成領域以外に少なくとも三つの異なる不純物濃度を有する三つの不純物領域を含む点に特徴がある。こうすることによって、チャネル形成領域102から第1不純物領域103、第2不純物領域104、第3不純物領域105と遠ざかるにつれて（チャネル形成領域からの距離が遠いほど）不純物（15族に属する元素）濃度が次第に高くなるような構成を実現できる。

【0039】

本出願人の意図するところは、従来例に述べたようなMOSFETにみられるLDD部での濃度勾配を、複数の不純物領域で意図的に形成することにある。従って、不純物領域が三つ以上存在しても構わない。

【0040】

こうして形成された活性層の上にはゲート絶縁膜106が形成されている。図1の場合、ゲート絶縁膜106が第2不純物領域104にオーバーラップするような状態で形成されている。これは第2不純物領域104を形成する際のプロセス上の構造であり、本願発明を実施した場合の特徴にもなる。換言すればゲート絶縁膜106はチャネル形成領域102、第1不純物領域103及び第2不純物領域104に接して設けられる。

【0041】

また、ゲート絶縁膜106上にはゲート配線107が設けられている。ゲート配線107の材料としては、タンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、クロム(Cr)、タングステン(W)、モリブデン(Mo)、シリコン(Si)、アルミニウム(Al)又は銅(Cu)などの単体金属層、或いはこれらの積層構造を用いれば良い。

【0042】

他にも、異種金属層の積層構造（具体的にはTa/Alの積層構造やTa/Tiの積層構造やCu/Wの積層構造やAl/Wの積層構造やW/Moの積層構造）としても良いし、金属シリサイドを設けた構造（具体的にはSi/WSix、Si/TiSix、Si/CoSixなどシリコンと金属シリサイドとを組み合わせた構造）としても良い。

【0043】

ただし、サイドウォールを形成する際、ゲート配線がエッチングされない様にシリコンと選択比がある金属材料層を最上層としたゲート配線、或いはシリコンと選択比がある保護膜をゲート配線の上面に設けたゲート配線とする必要がある。また、ゲート配線の一部にシリコンを用いる場合は熱酸化やプラズマ酸化等でシリコン表面に酸化シリコン膜を形成しておくことが望ましい。さもなければ後にサイドウォールを除去する工程でゲート配線もエッチングされてしまう恐れがある。

【0044】

また、後述するが本発明のCMOS回路ではPTFTにはサイドウォールを設けない構造が有効である。従って、後にサイドウォールのみを除去する工程を含むため、サイドウォールの除去時にゲート配線がエッチングされないような材料

選択が必要である。その点、従来例に述べた論文ではシリコンゲートとシリコンサイドウォールとが直接接する構造を有しているため、同論文鋸有象をそのまま用いても本願発明のCMOS回路を実現することはできない。

【0045】

また、前述したゲッタリング工程の熱処理の際、ゲート配線107（または112）の耐熱性等に注意が必要である。アルミニウムなどの低融点金属を含む場合には熱処理温度に制限が生じる。また、タンタルは非常に酸化されやすいので窒化シリコン膜などの保護膜を設け、熱処理雰囲気にタンタルが触れないように保護しておく必要がある。

【0046】

図1に示した窒化シリコン膜113はそのために設けてある保護膜である。この窒化シリコン膜113に微量のボロンを添加しておくことは有効である。こうすることで熱伝導性が高まり、放熱効果を付与することができる。

【0047】

このゲート配線107の側壁（側部）にはサイドウォール108が設けられている。本願発明ではサイドウォール108としてシリコンを主成分とする層（具体的にはシリコン層又はシリコンゲルマニウム層）を用いる。特に真性なシリコン層を用いることが望ましい。勿論、非晶質、結晶質または微結晶のいずれでも良い。また、サイドウォール108及びゲート配線107の上面（上部）を覆つて熱処理等による酸化を防ぐための保護膜113が設けられている。

【0048】

本願発明ではサイドウォール108が第1不純物領域103上にオーバーラップする（ゲート絶縁膜106を介して第1不純物領域103とサイドウォール108が重なっている）ような構造とする。このような構造とすることでMOSFETのGOLD構造やLATID構造の如き利点を得ることが可能である。

【0049】

また、そのような構造を実現するためには、サイドウォール108によって第1不純物領域103に電圧が印加されるようにしておく必要がある。サイドウォールを真性シリコン層で形成しておけば、抵抗値は高いがリーク電流も発生する

のでサイドウォール部分で蓄積容量による電圧残りを作らないという利点がある。

【0050】

また、TFTの場合、活性層の膜厚が20~50nmと薄くなるため、動作している時は空乏層が完全に活性層底部まで広がり、完全空乏型（FD型：Fully-Depression type）になる。FD型TFTをゲートオーバーラップ型にすることでホットキャリアを発生しにくい方向に電界が形成される。逆にFD型TFTで一般的なオフセット構造とすると、ホットキャリア注入を促進する方向に電界が形成されてしまう。

【0051】

以上のような構造とすることで、本願発明のNTFTはMOSFETと同等又はそれ以上の高い信頼性を実現することができる。まず、サイドウォール108を用いて第1不純物領域103にゲート電圧を印加することでゲートオーバーラップ構造と同様の効果を得ることができる。

【0052】

次に、第1不純物領域103、第2不純物領域104、及び第3不純物領域105を並べることで、チャネル形成領域102からソース領域（またはドレイン領域）105に向かって徐々に不純物濃度が高くなるような構造を実現できる。こうすることによってTFTのオフ電流を効果的に抑制することができる。

【0053】

さらに、実質的なLDD領域となる第2不純物領域104がゲート電圧からある程度距離をおいて設けられるので、図2に示したMOSFETのオーバーラップ部分のように電界緩和の効果が得られる。また、第1不純物領域103で発生したホットキャリアは真上のサイドウォール108に向かって注入されるので、チャネル形成領域102の真上にトラップ準位を形成する事がない。

【0054】

以上は本願発明のNTFTの説明であるが、Pチャネル型TFT（以下、PTFTという）は基本的にLDD領域やオフセット領域を設けない構造とする。勿論、LDD領域やオフセット領域を設ける構造としても構わないが、PTFTは

もともと信頼性が高いため、オン電流を稼いでN TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には得にこの特性バランスが重要である。ただし、本願発明の構造をPTFTに適用しても問題はない。

【0055】

図1において、PTFTの活性層はチャネル形成領域109、ソース領域（またはドレイン領域）となる第4不純物領域110で構成される。なお、この時、第4不純物領域110には13から選ばれた元素（代表的にはボロン）が $5 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³の濃度で添加されている。なお、この不純物濃度を(p⁺⁺)で表すことにする（本明細書ではp⁺⁺領域を第4不純物領域という）。

【0056】

なお、この時、第4不純物領域110は13族に属する元素によってP型に反転しているが、前工程で15族に属する元素も第3不純物領域105と同濃度に添加されているため、十分なゲッタリング効果を発揮する。

【0057】

従って、第4不純物領域110にも結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³（代表的には $1 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm³）の濃度で存在する。この場合も第4不純物領域110は電極として機能すれば良いので触媒元素が大量に存在していても問題はない。

【0058】

また、ゲート絶縁膜111はゲート配線112をマスクとして自己整合的に形成される。本願発明のプロセス上の特徴としてN TFTにはサイドウォール108、保護膜113が存在し、PTFTには保護膜及びサイドウォールが除去されて残らないという点も挙げられる。

【0059】

こうしてN TFT及びPTFTを形成したら、第1層間絶縁膜114で覆い、ソース配線115、116及びドレイン配線117を設ける。図1の構造ではこれら配線を設けた後で窒化シリコン層118を形成してパッシベーション効果を高めている。その窒化シリコン層118上には樹脂材料でなる第2層間絶縁膜1

19が設けられる。樹脂材料で限定する必要はないが、平坦性を確保する意味で樹脂材料を用いることは効果的である。

【0060】

ここまでN TFTとPTFTとを相補的に組み合わせてなるCMOS回路を例にとって説明してきたが、N TFTを用いたNMOS回路やN TFTで形成された画素TFTに本願発明を適用することも可能である。勿論、CMOS回路を基本単位としたさらに複雑な半導体回路に適用することもできる。

【0061】

また、本願発明の最も特徴的な点は、N TFTのLDD領域がチャネル形成領域から遠ざかるにつれて不純物濃度が高くなるように多段階に設けられ、且つ、チャネル形成領域内の触媒元素（結晶化で用いられた元素）がTFTの電気特性に支障をきたさないレベルにまで低減されている点にある。

【0062】

従って、この構成を含む限り、TFT構造が限定される必要はなく、トップゲート構造（代表的にはプレーナ構造）にもボトムゲート構造（代表的には逆スタガ構造）にも本願発明を適用することができる。

【0063】

（本願発明のN TFT構造の利点）

本願発明のN TFTは第1不純物領域（1stLDD領域）と第2不純物領域（2ndLDD領域）というように、LDD領域を複数設け、そのうちの一つに対してゲート電極をオーバーラップさせるという構造上の特徴がある。

【0064】

ここで本願発明の優位性を従来の構造と比較して説明する。図21（A）、（B）はLDD構造のないN TFTとその電気特性（ゲート電圧Vg対ドレイン電流Id特性）である。同様に、図21（C）、（D）は通常のLDD構造の場合を、図21（E）、（F）はいわゆるGOLD構造の場合を、そして図21（G）、（H）には本願発明のN TFTの場合を示す。

【0065】

なお、図面中において n^+ はソース領域またはドレイン領域を、channelはチャ

ネル形成領域を、 n^- はLDD領域（nは第2のLDD領域）を指す。また、 I_d はドレイン電流、 V_g はゲート電圧である。

【0066】

図21（A）、（B）に示すようにLDD構造がない場合、オフ電流は高く、オン電流（TFTがオン状態にある時のドレイン電流）やオフ電流が劣化しやすい。

【0067】

次に、LDD構造の場合、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。（図21（C）、（D））

【0068】

次に、LDD領域とゲート電極とがオーバーラップした構造（図21（C）、（D））であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0069】

この場合、オン電流の劣化を十分に抑えることができる反面、通常のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本願発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0070】

そして、本願発明の構造は図21（G）、（H）に示すように、内側（チャネル形成領域に近い側）のLDD領域はゲート電極とオーバーラップさせ、外側のLDD領域はゲート電極とオーバーラップしないように形成した。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0071】

本出願人は図21（E）、（F）に示したような構造の場合に何故オフ電流が高くなってしまうかを次のように推測した。この説明を、図22を用いて行う。

【0072】

N TFTがオフ状態にある時、ゲート電極4 1にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域4 2にプラス数十ボルトの正の電圧がかかってしまうと、ゲート絶縁膜4 3のドレイン側端部に非常に大きな電界が形成される。

【0073】

この時、図22(A)に示すようにLDD領域4 4には正4 5が誘起される。この時のエネルギー-band図を図22(B)に示す。即ち、ドレイン領域4 2、LDD領域4 4、チャネル形成領域4 6をつなぐ小数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと考えたのである。

【0074】

本出願人は、このような電流経路を途中で遮断するためにはゲート電極とオーバーラップしない位置に別の抵抗体、即ち第2のLDD領域を設ける必要があると考えた。このようにして本願発明の構造に想到したのである。

【0075】

以上に示したような本願発明の構成について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0076】

【実施例】

【実施例1】

本実施例では図1に示したCMOS回路の作製方法について図3～6を用いて説明する。なお、上面図を図14に示した。

【0077】

まず、石英基板301上に酸化シリコン膜302でなる下地膜を200nm厚に形成した。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。下地膜の成膜方法はプラズマCVD法、熱CVD法またはスピッタ法を用いれば良い。勿論、窒化シリコン膜にボロンを添加することは放熱効果を高める上で有効である。

【0078】

次に、酸化シリコン膜302上に30nm厚のアモルファスシリコン膜(非晶質

シリコン膜)をプラズマCVD法により形成し、脱水素処理後、触媒元素を用いた熱結晶化法によりポリシリコン膜(結晶質シリコン膜または多結晶シリコン膜)を形成した。また、アモルファスシリコン膜の成膜方法は熱CVD法またはスパッタ法でも良い。触媒元素を用いる場合、本出願人による特開平7-130652号公報、特開平8-78329号公報等に記載された技術を用いることが好ましい。

【0079】

ここで特開平7-130652号公報の技術を本願発明に適用した場合の例を図6に示す。石英基板301上に下地膜として酸化シリコン膜302を設け、酸化シリコン膜302上にアモルファスシリコン膜603を形成した後、さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層604を形成した。(図6(A))

【0080】

なお、上記技術で代表される触媒元素を用いた結晶化技術においては、触媒元素としてニッケル(Ni)以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、錫(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、シリコン(Si)といった元素を用いても良い。

【0081】

次に、500℃、1時間の水素だし工程の後、500～650℃で4～12時間(本実施例では550℃8時間)の熱処理を行い、ポリシリコン膜605を形成した。こうして得られたポリシリコン膜605は非常に優れた結晶性を有した。(図6(B))

【0082】

ただし、この時、ポリシリコン膜605の内部には結晶化に用いたニッケルが高濃度に存在していた。本出願人がSIMS測定を行った結果、 $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³の濃度で存在することが分かった。このニッケルはチャネル形成領域内で容易にシリサイド化しうるため、抵抗の低い電流バス(リーク電流の通り道)として機能することが懸念される。

【0083】

なお、本出願人は実際の TFT の電気特性を調べているが、この程度のニッケル濃度であれば TFT の電気特性に著しい悪影響を与えないことを確かめている。しかしながら、悪影響を与える可能性がある限り、少なくともチャネル形成領域からは除去することが望ましいと言える。そのためのゲッタリング工程に関しては後述することにする。

【0084】

こうして形成された結晶質シリコン膜をパターニングして図1 (A) に示す島状のシリコン層からなる活性層 303、304 を形成した。

【0085】

なお、ポリシリコン膜 505 を形成した後、エキシマレーザー光を照射して結晶性を高めても良い。また、活性層 303、304 を形成した後に行っても構わない。エキシマレーザー光の照射工程は公知の技術を用いれば良いので説明は省略する。

【0086】

次に、活性層 303、304 を覆って酸化シリコン膜でなるゲート絶縁膜 305 を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）306、307 を形成した。（図3 (A)）

【0087】

ゲート絶縁膜 305 の膜厚は 100 nm とした。勿論、酸化シリコン膜以外に酸化シリコン膜と窒化シリコン膜との積層構造や酸化窒化シリコン膜を用いても構わない。また、ゲート配線 306、307 は他の金属を用いることもできるが、後の工程においてシリコンとのエッチング選択比の高い材料が望ましい。

【0088】

こうして図3 (A) の状態が得られたら、1回目のリンドープ工程（リンの添加工程）を行った。ここではゲート絶縁膜 305 を通して添加するため、加速電圧は 80 keV と高めに設定した。また、こうして形成された第1不純物領域 308、309 は長さ（幅）が 0.5 μm、リン濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ となるようドーズ量を調節した。この時のリン濃度を (n-) で表すことにする。なお、リンの代わりに砒素を用いても良かった。

【0089】

また、第1不純物領域308、309はゲート配線306、307をマスクとして自己整合的に形成された。この時、ゲート配線306、307の直下には真性な結晶質シリコン層が残り、チャネル形成領域310、311が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線306、307と第1不純物領域308、309とがオーバーラップするような構造となった。（図3（B））

【0090】

次に、ゲート配線306、307を覆うようにして0.1～1μm（代表的には0.2～0.3μm）の厚さの非晶質シリコン層を形成し、異方性エッチングを行うことによりサイドウォール312、313を形成した。サイドウォール312、313の幅（ゲート配線の側壁からみた厚さ）は0.2μmとした。（図3（C））

【0091】

なお、本実施例では非晶質シリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層でなるサイドウォールが形成された。

【0092】

図3（C）の状態が得られたら、2回目のリンドープ工程を行った。この場合も1回目と同様に加速電圧を80KeVとした。また、今回形成された第2不純物領域314、315にはリンが 1×10^{18} atoms/cm³の濃度で含まれるようにドーズ量を調節した。この時のリン濃度を（n）で表すことにする。

【0093】

なお、図3（D）に示すリンドープ工程ではサイドウォール312、313の真下のみに第1不純物領域308、309が残る。即ち、この工程で図1に示した第1不純物領域103が画定した。この第1不純物領域103は1st LDD領域として機能することになる。

【0094】

また、図3（D）の工程ではサイドウォール312、313にもリンが添加された。実際には加速電圧が高いためリンの濃度プロファイルのテール（裾）がサ

イドウォール内部に及ぶような状態でリンが分布していた。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくと第2不純物領域314に印加されるゲート電圧が素子毎に変動する要因ともなりかねないのでドーピング時は精密な制御が必要である。

【0095】

次に、N TFTの一部を覆うレジストマスク316とPTFTの一部を覆うレジストマスク317を形成した。そして、この状態でゲート絶縁膜305をドライエッチングして加工されたゲート絶縁膜318を形成した。（図3（E））この時、PTFTにおいては、PTFTの一部を覆うレジストマスク317によって、図3（E）中に示した距離X（1～20μm、代表的には2μm）だけ活性層の端部を露出させた。

【0096】

また、この時、ゲート絶縁膜318がサイドウォール312よりも外側に突出している部分の長さ（ゲート絶縁膜318が第2不純物領域314に接している部分の長さ）が、図1に示す第2不純物領域104の長さ（幅）を決定する。従って、レジストマスク316、317のマスク合わせは精度良く行うことが必要である。従来はLDD領域が一つであったので、その幅のバラツキが電気特性に大きく影響してしまったが、本実施例の場合は実質的にLDD領域が二つあるため、第2不純物領域の幅が多少ばらついても問題とはならなかった。

【0097】

図3（E）の状態が得られたら、3回目のリンドープ工程を行った。今回は露出した活性層にリンを添加することになるため、加速電圧を10KeVと低めに設定した。なお、こうして形成された第3不純物領域319、320にはリンが $5 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれるようにドーズ量を調節した。この時のリン濃度を（n+）で表すことにする。（図4（A））

【0098】

この工程ではレジストマスク316によって遮蔽された部分にはリンが添加されないため、その部分には第2不純物領域314がそのまま残る。従って、ここで図1に示す第2不純物領域104が画定した。また同時に、図1に示す第3不

純物領域105が画定した。

【0099】

この第2不純物領域314は2ndLDD領域として機能し、第3不純物領域105はソース領域又はドレイン領域として機能することになる。

【0100】

なお、本実施例では第3不純物領域319、320の濃度が少なくとも 1×10^{19} atoms/cm³以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³）となるようにリンの添加量を調節することが望ましい。これ以下の濃度であると、効果的なリンによるゲッタリング効果を期待できなくなる恐れがある。

【0101】

次に、レジストマスク316、317を除去し、NFTT及びPTFT全部を覆う保護膜321を形成した。この時、保護膜321として設けた窒化シリコン膜はゲート配線の材料として用いたタンタル膜が酸化されるのを防ぐ。ゲート配線が酸化されにくいか、酸化によって形成される酸化膜がエッチングしやすいものであれば問題はないが、タンタル膜は酸化されやすばかりでなく、酸化タンタル膜が非常にエッチングしにくい膜であるため、窒化シリコン膜321を設けることが望ましかった。保護膜321としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、またはこれらの積層膜を用いることができ、その膜厚範囲は1～30nm、好ましくは5～20nm（本実施例では膜厚10nmの窒化シリコン膜）とした。また、スパッタ法（ボロンを含有したシリコンターゲットを用い、Arガスと窒素ガスを用いた）によるボロンを含む窒化シリコン膜は熱伝導率が高く、放熱層として働くため望ましい保護膜の一つである。

【0102】

次いで、500～650°C、代表的には550～600°Cで2～24時間、代表的には4～12時間（本実施例では窒素雰囲気で600°C 12時間）の熱処理を行った。（図4（B））この熱処理は活性層中に残存したニッケルを除去する。本実施例ではニッケルを除去する技術として、特開平10-270363号公報に記載された技術を用いた。特開平10-270363号公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後に15族に属する元素（代

表的にはリン) のゲッタリング作用を用いて除去する技術である。この熱処理によって活性層中に残存した触媒元素(本実施例ではニッケル)は、矢印の方向に向かって移動し、第3不純物領域319、320中に捕獲(ゲッタリング)される。ただし、熱処理をする前に、第3不純物領域319、320には 1×10^{19} atoms/cm³の濃度以上、好ましくは $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³の濃度でリンを含有させることが必要である。この第3不純物領域319、320をゲッタリング領域と呼ぶ。

【0103】

また、こうして形成されたチャネル領域310、311に含まれるニッケル濃度は、 2×10^{17} atoms/cm³以下、代表的には $1 \times 10^{14} \sim 5 \times 10^{16}$ atoms/cm³にまで低減された。なお、第3不純物領域319、320に含まれるニッケル濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21}$ atoms/cm³、代表的には $5 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm³である。また、この加熱処理によって膜中の不純物(リン及びボロン)を活性化させることができる。なお、ゲート配線306、307の上部は保護膜321と接し、配線の側部はサイドウォール312、313に接しているため、加熱処理による配線の変質(酸化等)はほとんどない。

【0104】

次に、N TFT全部を覆うレジストマスク322を形成した。そして、まずPTFTの保護膜321を除去した。(図4 (C))

【0105】

続いて、PTFTのサイドウォール313及び第3の不純物領域320を除去した。(図4 (D)) なお、この除去工程によりPTFTの活性層の幅が決定する。

【0106】

さらにゲート絶縁膜305をドライエッチングしてゲート配線307と同形状のゲート絶縁膜323を形成した。(図5 (A))

【0107】

図5 (A)の状態が得られたら、ボロンドープ工程(ボロンの添加工程)を行った。ここでは加速電圧を10KeVとし、形成された第4不純物領域324に3

$\times 10^{21}$ atoms/cm³の濃度でボロンが含まれるようにドーザ量を調節した。この時のボロン濃度を (P++) で表すことにする。(図5(B))

【0108】

この時、ボロンもゲート配線307の内側に回り込んで添加されたため、チャネル形成領域311はゲート配線307の内側に形成された。また、この工程ではP TFT側に形成されていた第1不純物領域309及び第2不純物領域315をボロンで反転させてP型にしている。従って、実際にはもともと第1不純物領域だった部分と第2不純物領域だった部分とで抵抗値が変化するが、十分高い濃度でボロンを添加しているので問題とはならない。

【0109】

こうすることで図1に示す第4不純物領域110が画定する。第4不純物領域324はゲート配線307をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例ではP TFTに対してLDD領域もオフセット領域も形成していないが、P TFTはもともと信頼性が高いので問題はなく、かえってLDD領域等を設けない方がオン電流を稼ぐことができるでの都合が良い場合もある。

【0110】

こうして最終的には図5(B)に示すように、N TFTの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、P TFTの活性層にはチャネル形成領域及び第4不純物領域のみが形成される。

【0111】

そのようにして図5(B)の状態が得られたら、レジストマスク322を除去した後、第1層間絶縁膜325を1μmの厚さに形成した。第1層間絶縁膜325としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0112】

第1層間絶縁膜325を形成したら、金属材料であるソース配線326、327及びドレイン配線328を形成した。本実施例ではチタンを含むアルミニウム

膜をチタンで挟み込んだ構造の三層配線を用いた。

【0113】

また、第1層間絶縁膜325としてBCB（ベンゾシクロブテン）と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0114】

こうしてソース配線及びドレイン配線を形成したら、パッシバーション膜として50nm厚の窒化シリコン膜329を形成した。さらにその上に第2層間絶縁膜330を形成した。この第2層間絶縁膜330としては前記第1層間絶縁膜325と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0115】

以上のような工程を経て、図5(C)に示すような構造のCMOS回路が完成了。本実施例によって形成されたCMOS回路は、N TFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、N TFTとPTFTとの特性バランス（電気特性のバランス）が良くなるため、動作不良を起こしにくくなることが分かった。

【0116】

また、特開平7-130652号公報記載の従来技術を用いた際に懸念されたチャネル形成領域内のニッケル（触媒元素）の影響は、本実施例に示したようなゲッタリング工程を行うことにより解決された。

【0117】

ただし、本実施例で説明した構造はあくまで一実施例であり、図3～6に示した構造に限定される必要はない。本願発明で重要な点はN TFTの活性層の構造であり、その点さえ違えなければ本願発明の効果を得ることができる。

【0118】

〔実施例2〕

実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Si（真性なシリコン層）を用いたが、本実施例では成膜時にリンを添加したリンドー

プシリコン層 (n^+Si 層) またはボロンドープシリコン層 (p^+Si 層) を用いた。勿論、非晶質でも結晶質でも良いし、微結晶でも良かった。

【0119】

リンやボロンを添加したシリコン層を用いることでサイドウォール部分が全体的に低抵抗化され、図3(D)の工程で懸念されたリン濃度のプロファイルばらつきに起因する特性変動の可能性を排除することができた。

【0120】

〔実施例3〕

実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Si(真性なシリコン層)を用いたが、本実施例では炭素(C)、窒素(N)または酸素(O)のいずれかが含まれたシリコン層を用いてサイドウォールの抵抗成分を高めた。勿論、シリコン層は非晶質、結晶質または微結晶のいずれかで良かった。また、用いる不純物としては酸素が最も良かった。

【0121】

即ち、サイドウォールとなるシリコンを形成する際に1~50 atomic% (代表的には10~30 atomic%) の炭素、窒素、または酸素を添加すればよい。本実施例では20 atomic%の酸素(O)を添加した。

【0122】

本実施例の構成とすることでサイドウォールに起因する抵抗成分が大きくなるため、ゲート電圧の印加に対してサイドウォールを誘電体とした容量成分が支配的にきいてくるような構成とすることができた。即ち、高周波駆動した際にサイドウォール部分にも有効なゲート電圧が印加されるようにできた。

【0123】

〔実施例4〕

本実施例では、実施例1において活性層となる結晶性半導体膜を特開平8-78329号公報に記載された技術に適用した例を図7に示す。特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能とするものである。

【0124】

まず、ガラス基板701上に酸化シリコン膜702を設け、その上にアモルファスシリコン膜703、酸化シリコン膜704を連続的に形成した。この時、酸化シリコン膜704の膜厚は150nmとした。

【0125】

次に酸化シリコン膜704をパターニングして選択的に開口部705を形成し、その後、重量換算で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これによりニッケル含有層706が形成され、ニッケル含有層706は開口部705の底部のみでアモルファスシリコン膜703と接触させた。（図7（A））

【0126】

次に、500～650°Cで4～24時間（本実施例では570°C14時間）の熱処理を行い、アモルファスシリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には<111>軸方向に向かって進行することが確かめられている。

【0127】

こうして形成されたポリシリコン膜707は棒状または針状の結晶が集合しており、各々の棒状結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0128】

なお、上記技術で代表される触媒元素を用いた結晶化技術においては、触媒元素としてニッケル(Ni)以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、錫(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、シリコン(Si)といった元素を用いても良い。

【0129】

以上のような技術を用いて結晶質半導体膜（結晶質シリコン膜や結晶質シリコンゲルマニウム膜を含む）を形成し、パターニングを行って活性層を形成すれば良い。その後の工程は実施例1に従えば良い。勿論、実施例2、3との組み合せも可能である。

【0130】

本実施例の技術を用いて結晶化した結晶質半導体膜を用いてTFTを作製した場合、高い電界効果移動度（モビリティ）が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明のTFT構造を採用することで本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0131】

〔実施例5〕

本実施例では、実施例1において活性層となる結晶性半導体膜をレーザー光または強光により形成する例を示す。ガラス基板に形成された酸化シリコン膜上に30nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法により形成し、脱水素処理後、エキシマレーザーアニールを行ってポリシリコン膜（結晶質シリコン膜または多結晶シリコン膜）を形成した。

【0132】

この結晶化工程は公知のレーザー結晶化技術または熱結晶化技術を用いれば良い。用いるべきレーザーとしては、各種エキシマレーザーのごとき紫外線レーザーや、YAGレーザー、ガラスレーザー、ルビーレーザーのごとき赤外線、可視光線レーザーが好ましい。また、アルゴンレーザー等の連続発振レーザーでもよい。本実施例ではパルス発振レーザーのKrFエキシマレーザーを線状に加工してアモルファスシリコン膜の結晶化を行った。

【0133】

なお、本実施例では初期膜をアモルファスシリコン膜としてレーザーアニールで結晶化してポリシリコン膜を得たが、初期膜として微結晶シリコン膜を用いても構わないし、直接ポリシリコン膜を成膜しても良い。勿論、成膜したポリシリコン膜にレーザーアニールを行っても良い。また、レーザーアニールの代わりにフーネスアニールを行っても良い。また、レーザー結晶化の前に触媒元素（ニッケル等）を初期膜に添加しても良い。

【0134】

以上のような技術を用いて結晶質半導体膜（結晶質シリコン膜や結晶質シリコングルマニウム膜を含む）を形成し、パターニングを行って活性層を形成すれば

良い。その後の工程は実施例1に従えば良い。勿論、実施例2、3、4との組み合わせも可能である。

【0135】

〔実施例6〕

本実施例では、上記実施例1に示したように触媒元素（ニッケルを例にする）を用いてポリシリコン膜を形成した後、本実施例ではゲート絶縁膜等を形成する前に予め膜中に残存するニッケルを除去する工程を行う例を示す。本実施例ではニッケルを除去する技術として、特開平10-247735号公報に記載された技術を用いた。

【0136】

特開平10-247735号公報に記載された技術は、実施例4における技術を用いて結晶化した後で、選択的に触媒元素を添加するために用いたマスクそのままリン添加用のマスクとして用いることを特徴とした技術である。この技術はスループットの向上に非常に効果的である。

【0137】

以上のような技術でなる本実施例を用いて結晶質半導体膜（ポリシリコン膜やポリシリコングルマニウム膜を含む）を形成し、パターニングを行って活性層を形成すれば良い。その後の工程は実施例1に従えば良い。本実施例と実施例1に示したゲッタリング技術とを組み合わせることで、さらにチャネル形成領域に残存する触媒元素を低減することが可能となる。勿論、実施例2～5のいずれの実施例との組み合わせも可能である。

【0138】

〔実施例7〕

本実施例では、実施例1～4に示したように触媒元素（ニッケルを例にする）を用いてポリシリコン膜を形成した後で、そのニッケルを除去する工程を行う例を示す。本実施例ではニッケルを除去する技術として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0139】

同公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後に

ハロゲン元素（代表的には塩素）のゲッタリング作用を用いて除去する技術である。同技術を用いることで活性層中のニッケル濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）にまで低減することができる。

【0140】

本実施例の構成について図8を用いて説明する。まず基板として耐熱性の高い石英基板801を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0141】

次に実施例1～4の手段を用いてポリシリコン膜（図示せず）を形成し、パターニングして活性層802、803を形成した。さらに、それら活性層を覆って酸化シリコン膜でなるゲート絶縁膜804を形成した。（図8（A））

【0142】

ゲート絶縁膜804を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を950℃、処理時間を30分とした。なお、処理温度は700～1100℃の間で選択すれば良いし、処理時間も10分～8時間の間で選択すれば良い。（図8（B））

【0143】

この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図8（B）に示した活性層805、806中に含まれるニッケル濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 以下に低減されていた。

【0144】

以上のような技術でなる本実施例を用いて活性層を形成し、その後の工程は実施例1に従えば良い。勿論、実施例2～6のいずれの実施例との組み合わせも可能である。特に、本実施例と実施例4との組み合わせは非常に結晶性の高いポリシリコン膜を実現できることが判明している。

【0145】

〔実施例8〕

本実施例では、上記各実施例1～7を用いて得られる活性層の結晶構造、TFTの電気特性、及び回路特性に関する知見を以下に示す。

【0146】

(活性層の結晶構造に関する知見)

上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0147】

また、電子線回折及びエックス線（X線）回折を利用して活性層の表面（チャネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面が{110}面であることを確認した。本出願人がスポット径約 $1.5\mu\text{m}$ の電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0148】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0149】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0150】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ

。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0151】

特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、{211}双晶粒界はΣ3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0152】

本出願人が本願発明を実施して得た結晶性珪素膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）がΣ3の対応粒界、即ち{211}双晶粒界であることが判明した。

【0153】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角をθとすると、 $\theta = 70.5^\circ$ の時にΣ3の対応粒界となることが知られている。

【0154】

本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は{211}双晶粒界であるという結論に辿り着いた。

【0155】

なお、 $\theta = 38.9^\circ$ の時にはΣ9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0156】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0157】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界

において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する結晶質半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0158】

またさらに、700～1100°Cという高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

【0159】

この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製されたポリシリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下 (好ましくは 3×10^{17} spins/cm³ 以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0160】

以上の事から、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な单結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜をCGS (Continuous Grain Silicon) と呼んでいる。

【0161】

CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0162】

(TFTの電気特性に関する知見)

本実施例で作製したTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFTからは次に示す様なデータが得られている。

【0163】

(1) スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッシュルド係数が、Nチャネル型TFTおよびPチャネル型TFTとともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

(2) TFTの動作速度の指標となる電界効果移動度（ μ FE）が、Nチャネル型TFTで200～650cm²/Vs（代表的には300～500cm²/Vs）、Pチャネル型TFTで100～300cm²/Vs（代表的には150～200cm²/Vs）と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧（V_{th}）が、Nチャネル型TFTで-0.5～1.5V、Pチャネル型TFTで-1.5～0.5Vと小さい。

【0164】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0165】

（回路特性に関する知見）

次に、本実施例を実施して形成したTFTを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲイト絶縁膜の膜厚：30nm及び50nm

TFTのゲイト長：0.6μm

【0166】

このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6μm、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0167】

以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施

例のTFTがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0168】

【実施例9】

本実施例では、図5（A）で示される実施例1のゲート絶縁膜323の形成工程を行わず、ゲート絶縁膜を介してボロンドープを行う例を図9に示す。本実施例は図4（D）で示される工程まで実施例1と同一であるため、その工程は省略する。

【0169】

本実施例では実施例1に従い、図4（D）で示される状態を得た後、ボロンの添加工程を行った。（図9（A））ここでは、ゲート絶縁膜423を介して第4不純物領域424に 3×10^{20} atoms/cm³の濃度でボロンが含まれるようにドーズ量及び加速電圧を調節した。

【0170】

このようにして図9（A）の状態が得られたら、レジストマスクを除去した後、実施例1と同様にして第1層間絶縁膜425、金属材料でなるソース配線426、427及びドレイン配線428、パッシバーション膜429、第2層間絶縁膜430を形成した。なお、エッチングレートを考慮して活性層にダメージを与えないようにゲート絶縁膜427と保護膜321の膜厚を調節し、ソース配線426、427及びドレイン配線428を形成するためのコンタクトホールを概略同じ深さに形成することが好ましい。

【0171】

以上のような工程を経て、図9（B）に示すような構造のCMOS回路が完成了。このようにすることで、工程を簡略化させることができた。本実施例の場合、最終的にN TFTのゲート絶縁膜がチャネル形成領域、第1不純物領域及び第2不純物領域に接し、第3不純物領域には接していない点、並びにP TFTのゲート絶縁膜がチャネル形成領域及び第4不純物領域に接している点に特徴がある。勿論、実施例2～7のいずれの実施例との組み合わせも可能である。また、本実施例においても実施例8で示した知見が得られる。

【0172】

〔実施例10〕

本実施例では、実施例1とは異なる時点で保護膜を形成する例を図10に示した。実施例1では、第3のリンドープ工程後に保護膜を形成したが、本実施例では、図3(C)で示される状態を得た後に、保護膜500を形成する工程である。基本的な構成は実施例1と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例1と同一のものを用いた。

【0173】

まず、実施例1に従い図3(C)と同一の状態を形成する。次いで、窒化シリコン膜からなる膜厚20nmの保護膜500を形成した。(図10(A))

【0174】

次いで、2回目のリンドープ工程(リンの添加工程)を行い、第2不純物領域を形成した。ただし、保護膜500の膜厚も考慮に入れてドーピング条件(ドーズ量、加速電圧等)を調節する。また、2回目のリンドープ工程前に保護膜を形成せずに、2回目のリンドープ工程後に保護膜500を形成してもよい。

【0175】

次いで、レジストマスク316、317を形成した。次いで、レジストマスク316、317をマスクとして保護膜、ゲート絶縁膜を選択的に除去した。こうして形成された保護膜501とゲート絶縁膜318は同一形状であり、活性層の一部が露呈する。次いで、3回目のリンドープ工程を行い、第3不純物領域319、320を形成した。(図10(B))

【0176】

こうして図10(B)の状態が得られたら、レジストマスク316、317を除去した。次いで、実施例1と同様な熱処理工程を行い、膜中の触媒元素を第3不純物領域319、320にゲッタリングさせた。(図10(C))

【0177】

次に、NFT全部を覆うレジストマスク322を形成した。そして、まずPFTの保護膜501を除去した。続いて、PTFTのサイドウォール313及

び第3の不純物領域320を除去した。さらにゲート絶縁膜318をドライエッチングしてゲート配線と同形状のゲート絶縁膜323を形成した。次いで、実施例1と同様なボロンドープを行い、第4不純物領域324を形成した。（図10（D））

【0178】

以降の工程は、実施例1に従えば図10（E）で示されるTFTが完成する。勿論、実施例2～7のいずれの実施例との組み合わせも可能である。また、本実施例においても実施例8で示した知見が得られる。

【0179】

このような工程とすることで、ゲート電極の酸化等による劣化を効果的に保護膜で防止することができる。また、ソース配線326及びドレイン配線327の形成時において、第3不純物領域及び第4不純物領域に接して保護膜が設けられていないため、コンタクトホール形成が容易となった。

【0180】

〔実施例11〕

本実施例では、実施例1とは異なる時点で保護膜を形成する例を図11に示した。実施例1では、第3のリンドープ工程後に保護膜を形成したが、本実施例では、図3（B）で示される状態を得た後に、保護膜510を形成する工程である。基本的な構成は実施例1と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例1と同一のものを用いた。

【0181】

まず、実施例1に従い図3（B）と同一の状態を形成する。次いで、窒化シリコン膜からなる膜厚5nmの保護膜510を形成した。次いで保護膜上にサイドウォールを形成した。保護膜510の膜厚範囲は、1～10nm、好ましくは2～5nmである。この窒化シリコン膜510の膜厚が厚すぎるとサイドウォールを用いたゲートオーバーラップ構造が実現できなくなるので、薄くすることが好ましい。ただし、後の熱処理工程でゲート配線（タンタルの場合）の酸化を防ぐという効果も損ねないように注意が必要である。次いで、2回目のリンドープ工程（リ

ンの添加工程)を行い、第2不純物領域314、315を形成した。(図11(A))ただし、保護膜510の膜厚も考慮に入れてドーピング条件(ドーズ量、加速電圧等)を調節する。また、2回目のリンドープ工程後に保護膜を形成せずに、2回目のリンドープ工程前に保護膜を形成してもよい。

【0182】

次いで、レジストマスク316、317を形成した。次いで、レジストマスク316、317をマスクとして保護膜、ゲート絶縁膜を選択的に除去した。こうして形成された保護膜511とゲート絶縁膜318は同一形状であり、活性層の一部が露呈する。次いで、3回目のリンドープ工程を行い、第3不純物領域319、320を形成した。(図11(B))

【0183】

こうして図11(B)の状態が得られたら、レジストマスク316、317を除去した。次いで、実施例1と同様な熱処理を行い、活性層中の触媒元素を第3不純物領域319、320にゲッタリングさせた。(図11(C))

【0184】

次に、N TFT全部を覆うレジストマスク322を形成した。そして、まずPTFTの保護膜511を除去した。続いて、PTFTのサイドウォール313及び第3の不純物領域320を除去した。さらにゲート絶縁膜318をドライエッチングしてゲート配線と同形状のゲート絶縁膜323を形成した。次いで、実施例1と同様なボロンドープを行い、第4不純物領域324を形成した。(図11(D))

【0185】

以降の工程は、実施例1に従えば図11(E)で示されるTFTが完成する。勿論、実施例2~7のいずれの実施例との組み合わせも可能である。また、本実施例においても実施例8で示した知見が得られる。

【0186】

このような工程とすることで、ゲート電極の酸化等による劣化を効果的に保護膜511で防止することができる。また、ソース配線326及びドレイン配線327の形成時において、第3不純物領域及び第4不純物領域に接して保護膜が設

けられていないため、コンタクトホール形成が容易となった。また、サイドウォール形成時において、保護膜をエッチングストッパーとして用いてもよい。

【0187】

【実施例12】

本実施例では、実施例11とは異なる工程例を図12に示した。本実施例では、図11(B)で示される状態を得た後に、保護膜を除去する工程である。基本的な構成は実施例11と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例11と同一のものを用いた。なお、図11(B)と図12(A)は同一である。

【0188】

まず、実施例11に従い図11(B)と同一の状態を形成する。図11(B)の状態が得られたら、レジストマスク316、317を除去した。さらに、サイドウォールをマスクとして保護膜511を除去し、保護膜512を形成した。（図12(B)）

【0189】

次いで、実施例1と同様な熱処理を行い、触媒元素を第3不純物領域319、320にゲッタリングさせた。（図12(C)）

【0190】

次に、N TFT全部を覆うレジストマスク322を形成した。そして、まずP TFTの保護膜512を除去した。続いて、P TFTのサイドウォール313及び第3の不純物領域320を除去した。さらにゲート絶縁膜318をドライエッティングしてゲート配線と同形状のゲート絶縁膜323を形成した。次いで、実施例1と同様なボロンドープを行い、第4不純物領域324を形成した。（図12(D)）

【0191】

以降の工程は、実施例11に従えば図12(E)で示されるTFTが完成する。勿論、実施例2～7のいずれの実施例との組み合わせも可能である。また、本実施例においても実施例8で示した知見が得られる。

【0192】

〔実施例13〕

本実施例では、図3（E）で示される実施例1のゲート絶縁膜318の形成工程を行わず、ゲート絶縁膜を介して3回目のリンドープを行う例を図13に示す。本実施例は図3（D）で示される工程まで実施例1と同一であるため、その工程は省略する。

【0193】

本実施例では実施例1に従い、図3（D）で示される状態を得た後、レジストマスク316、317を形成して、3回目のリンの添加工程を行った。（図13（A））ここでは、ゲート絶縁膜305を介して第3不純物領域319、320にリンが 1×10^{20} atoms/cm³の濃度で含まれるようにドーズ量及び加速電圧を調節した。

【0194】

このようにして図13（A）の状態が得られたら、ゲート絶縁膜305を選択的に除去した後、レジストマスクを除去した。その後、実施例1と同様にして保護膜321を形成し、熱処理を行った。（図13（B））

【0195】

本実施例ではゲート絶縁膜305のエッチング工程を行っているが、この工程を省略し、最終工程までゲート絶縁膜305を残すことも可能である。この場合、ゲート絶縁膜305を成膜した後は活性層が露呈することができないため、処理雰囲気から汚染されるような心配がない。

【0196】

以降の工程は、実施例1に従えばTFTが完成する。勿論、実施例2～7のいずれの実施例との組み合わせも可能である。また、本実施例においても実施例8で示した知見が得られる。

【0197】

〔実施例14〕

本願発明はSOI（Silicon on Insulator）基板を用いた半導体装置に適用することが可能である。例えば、酸素のイオン注入によるSIMOX基板、貼り合わせSOI基板（Smart-Cut法やELTRAN法等を利用した）を用いて形成された単結晶シリ

コン薄膜を本願発明の活性層として用いることにより優れたTFTを作製することができる。本実施例ではUNIBOND基板（Smart-Cut法を利用した基板）を用い、TFTを形成した。勿論、実施例1～13のいずれの実施例との組み合わせも可能である。

【0198】

〔実施例15〕

本実施例では本願発明を実施して形成したTFTで回路を組み、同一基板上にドライバー回路（シフトレジスタ回路、バッファ回路、サンプリング回路、信号增幅回路など）と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置を作製した場合の例について説明する。

【0199】

実施例1ではCMOS回路を例にとって説明したが、本実施例ではCMOS回路（図1、図14）を基本単位としたドライバー回路と、NTFTを画素TFTとした画素マトリクス回路（図15）とを同一基板上に形成した。図15（A）中においてA-A'で切断した断面構造図が図15（B）に相当する。また、図15（B）に示す画素TFTは同一構造のNTFTが直列に接続されたダブルゲート構造であるので、片方のみに符号を付して説明する。

【0200】

なお、画素TFTは実施例1の工程に従ってソース配線及びドレイン配線まで形成した後、ドレイン配線に接続するように画素電極を形成した構造とすれば良い。以下に作製方法を簡略に示す。

【0201】

まず、実施例1の工程に従って、基板1500上に下地膜1501、チャネル形成領域1502、第1不純物領域1503、第2不純物領域1504、第3不純物領域1505、1506、ゲート絶縁膜1507、ゲート配線1509、サイドウォール1508、保護膜1510、第1層間絶縁膜1511、ソース配線1512、ドレイン配線1513を形成した。

【0202】

そして、保護膜1510が形成された第1層間絶縁膜上に第2層間絶縁膜15

15とを形成する。さらに、その上に第3層間絶縁膜1516を形成し、ITO、 SnO_2 等の透明導電膜からなる画素電極1518を形成した。また、1517も画素電極である。

【0203】

また、容量部は、容量配線1522を上部電極とし、アンドープシリコン層（真性半導体層または $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層）1519と不純物領域1520とでなる下部電極とで、絶縁膜1521を挟んで形成した。なお、容量配線1522は、画素TFTのゲート配線と同時に形成され、接地または固定電圧に接続した。また、絶縁膜1521は、画素TFTのゲート絶縁膜1507と同一の材料で構成されている。また、真性な領域1519は、画素TFTのチャネル形成領域と同じ材料で構成されている。また、不純物領域1520は、CMOS回路のNTFTの第1不純物領域と同じ材料で構成されている。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。

【0204】

本実施例では一例として透過型のLCDを作製したが特に限定されない。例えば、画素電極の材料として反射性を有する導電材料を用い、画素電極のパターンの変更、または幾つかの工程の追加／削除を適宜行えば反射型のLCDを作製することが可能である。

【0205】

また、本実施例では、画素マトリクス回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0206】

同一基板上にドライバー回路及び画素マトリクス回路を形成したら、配向膜を形成してTFT形成側基板（アクティブマトリクス基板）がほぼ完成する。そして、対向電極と配向膜とを備えた対向基板（必要があればブラックマスクも備えた）を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入す

れば図19に示す様な構造のアクティブマトリクス型液晶表示装置（液晶モジュールともいう）が完成する。液晶材料を封入する工程は、公知のセル組工程を用いれば良いので詳細な説明は省略する。なお、図15（C）は、図15（A）及び図15（B）に相当する回路図である。

【0207】

図19において1901は絶縁表面を有する基板、1902は画素マトリクス回路、1903はソースドライバー回路、1904はゲートドライバー回路、1905は対向基板、1906はFPC（フレキシブルプリントサーキット）、1907はD/Aコンバータや γ 補正回路などの信号処理回路である。なお、複雑な信号処理回路はICチップで形成して、そのICチップをCOGのように基板上に取り付けても良い。

【0208】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置等、イメージセンサ等、他の電気光学装置に適用することも可能である。

【0209】

〔実施例16〕

本実施例では、実施例15とは異なる構造の容量部を形成した例を示す。基本的な構成は実施例15とほぼ同様であるので相違点のみに着目して説明する。本実施例の容量部は、第3不純物領域1601に接続されている第2不純物領域1602と、絶縁膜1603と容量配線1604で形成されている。この容量部を備えたTFT形成側基板の断面構造図を図16に示した。

【0210】

また、ブラックマスク1605をTFT形成側基板に設けた。なお、容量配線1604は画素TFTのソース配線及びドレイン配線と同時に形成され、接地または固定電圧に接続される。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～14のいずれの実施例との組み合わせも可能である。

【0211】

〔実施例17〕

本実施例では、実施例15、16とは異なる容量部を形成した例を示す。基本的な構成は実施例16とほぼ同様であるので相違点のみに着目して説明する。まず、実施例1に従って、保護膜が形成された第1層間絶縁膜上に第2層間絶縁膜1702と、遮光性を有する導電材料からなるブラックマスク1703とを形成する。さらに、その上に第3層間絶縁膜が形成され、ITO、SnO₂等の透明導電膜からなる画素電極1704を接続する。

【0212】

なお、ブラックマスク1703は画素TFT部を覆い、且つ、ドレイン配線1701と容量部を形成している。この容量部を備えたTFT形成側基板の断面構造図を図17に示した。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～4のいずれの実施例との組み合わせも可能である。

【0213】

〔実施例18〕

本実施例では、チャネル形成領域の下方に絶縁膜1802を介して、バックゲート電極1801を形成した場合の例を図18に示す。なお、ここでいうバックゲート電極とは、しきい値電圧の制御やオフ電流を低減する目的で設けられた電極であり、活性層（チャネル形成領域）を挟んでゲート配線とは逆側に設けられた擬似的なゲート電極を指す。

【0214】

バックゲート電極1801は導電性材料であれば問題なく用いることができるが、本願発明では触媒元素のゲッタリング工程で550～650℃程度の熱処理工程があるため、その温度に耐える耐熱性を要求する。

【0215】

また、この絶縁膜1802としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いるが、その上にTFTが作製されるため、平坦な表面を有した膜であることが望ましい。

【0216】

このバックゲート電極1801へ電子を注入することによってしきい値電圧を変化させ、所望のしきい値電圧に制御することができる。特に、本実施例のような画素TFTにおいては、しきい値電圧を適宜制御して消費電力を低減することが望ましい。勿論、実施例1～14のいずれの実施例との組み合わせも可能である。

【0217】

〔実施例19〕

本願発明のTFT構造は実施例15に示した電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0218】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。即ち、SIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標)などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

【0219】

また、本実施例の半導体回路は実施例1～18のどのような組み合わせからなる構成を用いても実現することができる。

【0220】

〔実施例20〕

本願発明を実施して形成されたTFTは様々な電気光学装置（実施例15）や半導体回路（実施例19）に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全ての本願発明は適用できる。

【0221】

。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクタ

一、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）などが挙げられる。それらの一例を図20に示す。

【0222】

図20（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0223】

図20（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0224】

図20（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0225】

図20（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0226】

図20（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0227】

図20(F)はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系(ビームスプリッターや偏光子等が含まれる)2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0228】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0229】

【発明の効果】

本願発明を実施することで、N TFTの信頼性を高めることが可能となった。従って、厳しい信頼性が要求される高い電気特性(特に高いモビリティ)を有するN TFTの信頼性を確保することが可能となった。また同時に、特性バランスに優れたN TFTとP TFTとを組み合わせてCMOS回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できた。

【0230】

さらに、本願発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に行われるため、スループットを低下させるようなこともない。

【0231】

以上のようにTFTで組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となった。

【図面の簡単な説明】

【図1】 CMOS回路の断面を示す図。(実施例1)

【図2】 MOSFETの断面構造を示す図。(実施例1)

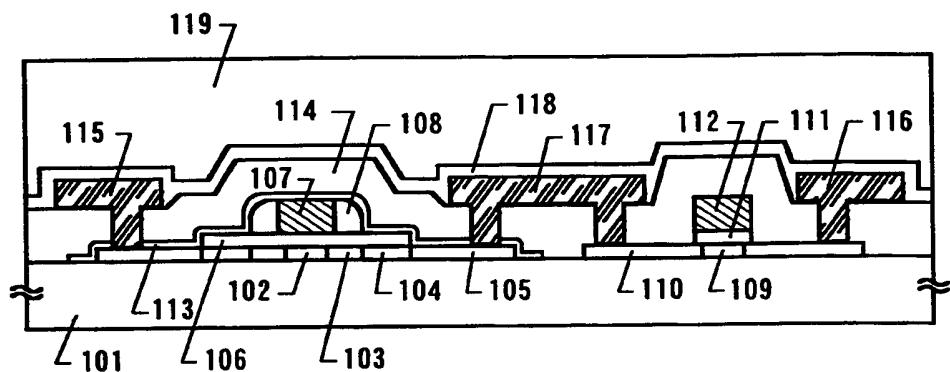
【図3】 CMOS回路の作製工程を示す図。(実施例1)

【図4】 CMOS回路の作製工程を示す図。(実施例1)

- 【図5】 CMOS回路の作製工程を示す図。（実施例1）
- 【図6】 ポリシリコン膜の作製工程を示す図。（実施例1）
- 【図7】 ポリシリコン膜の作製工程を示す図。（実施例4）
- 【図8】 ポリシリコン膜の作製工程を示す図。（実施例7）
- 【図9】 CMOS回路の作製工程を示す図。（実施例8）
- 【図10】 CMOS回路の作製工程を示す図。（実施例9）
- 【図11】 CMOS回路の作製工程を示す図。（実施例10）
- 【図12】 CMOS回路の作製工程を示す図。（実施例11）
- 【図13】 CMOS回路の作製工程を示す図。（実施例13）
- 【図14】 CMOS回路の上面図。（実施例1）
- 【図15】 アクティブマトリクス基板の断面構造図。（実施例15）
- 【図16】 画素TFTの断面構造を示す図。（実施例16）
- 【図17】 画素TFTの断面構造を示す図。（実施例17）
- 【図18】 画素TFTの断面構造を示す図。（実施例18）
- 【図19】 液晶モジュールの外観を示す図。（実施例15）
- 【図20】 電子機器の一例を示す図。（実施例20）
- 【図21】 各種TFT構造を比較するための図。
- 【図22】 TFT（オフ状態）のエネルギー・バンドを示す図。

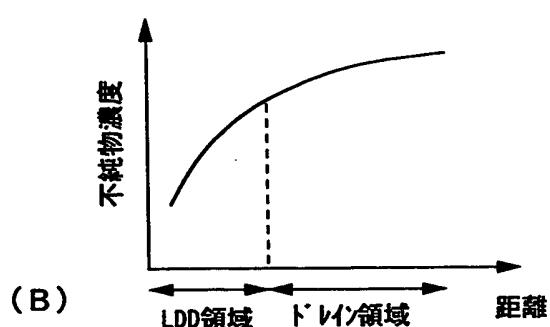
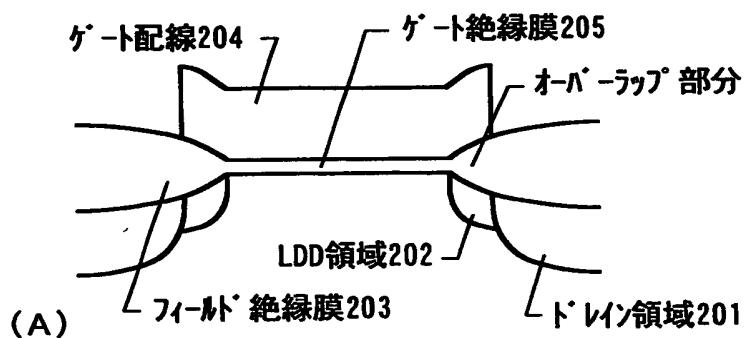
【書類名】 図面

【図1】

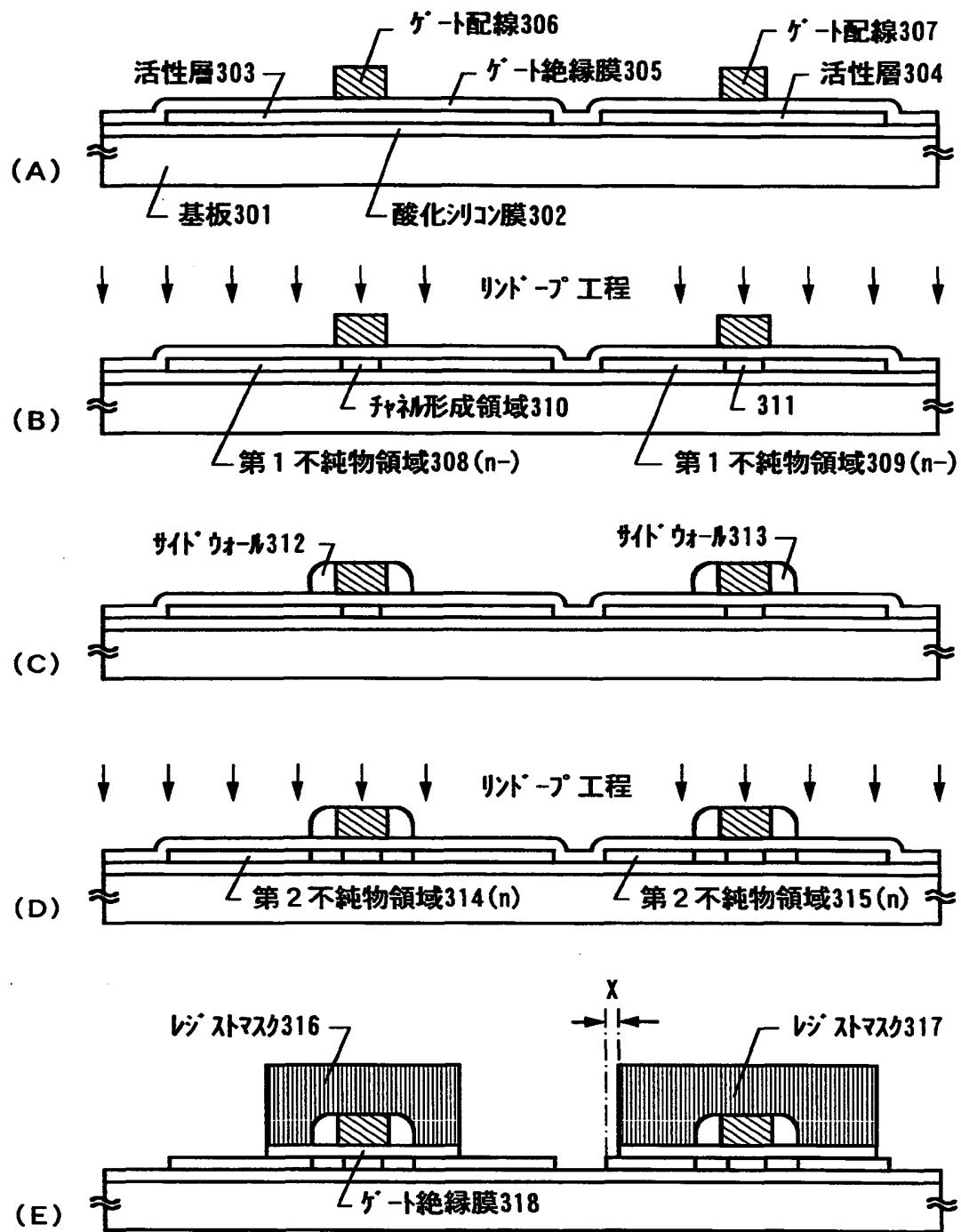


101: 基板、102、109: 源漏形成領域、103: 第1不純物領域(n-)
 104: 第2不純物領域(n+)、105: 第3不純物領域(n+)
 106、111: ゲート絶縁膜、107、112: ゲート配線、108: サイド・ウォール
 110: 第4不純物領域(p++)、113: 保護膜、114: 第1層間絶縁膜
 115、116: ヨーク配線、117: ドレイン配線、118: 窒化シリコン膜
 119: 第2層間絶縁膜

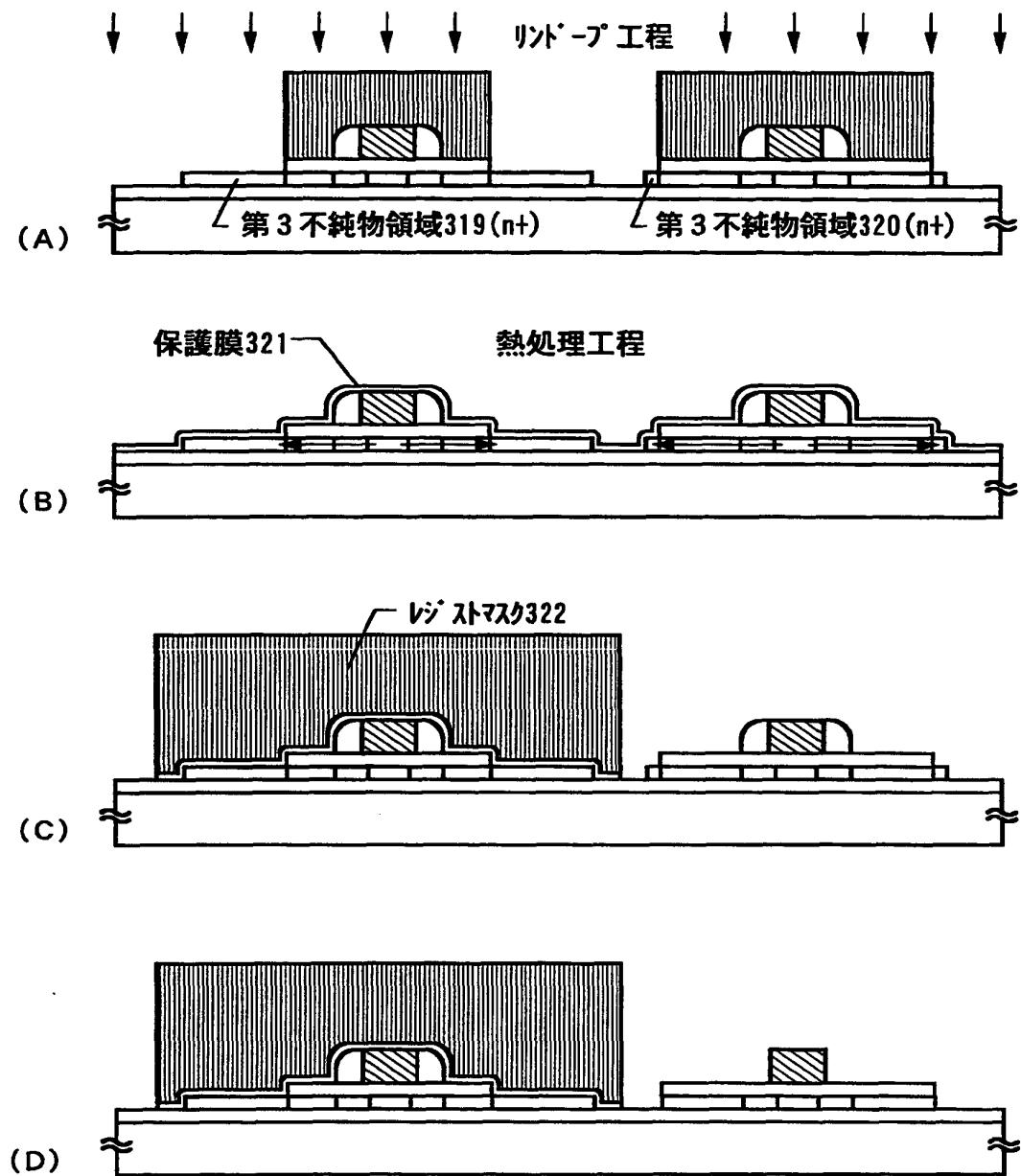
【図2】



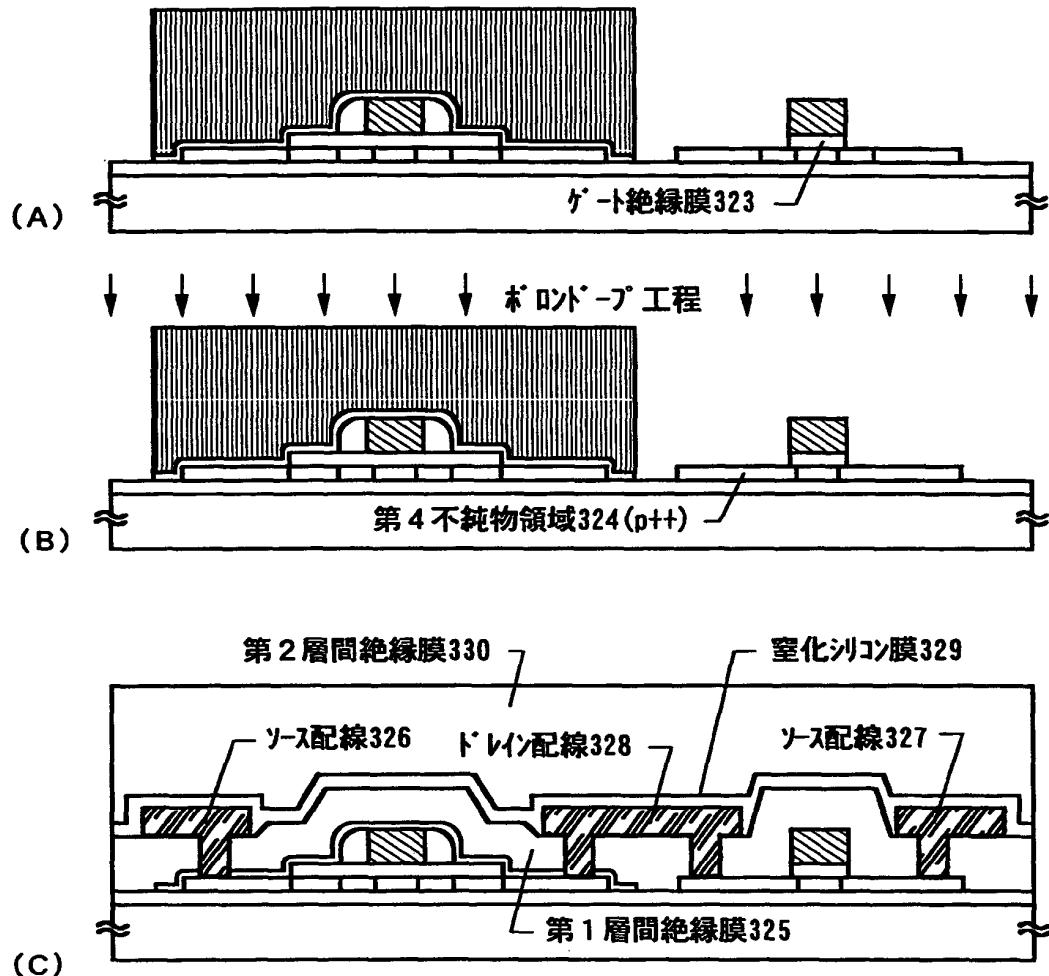
【図3】



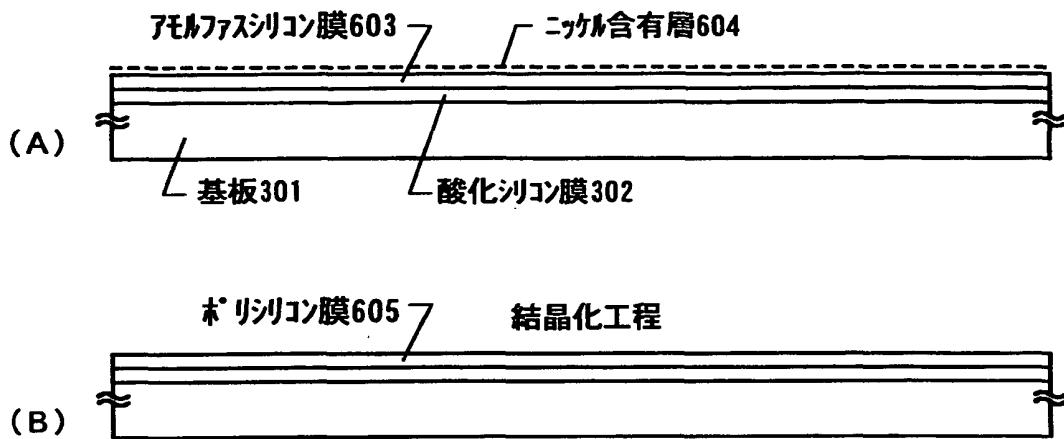
【図4】



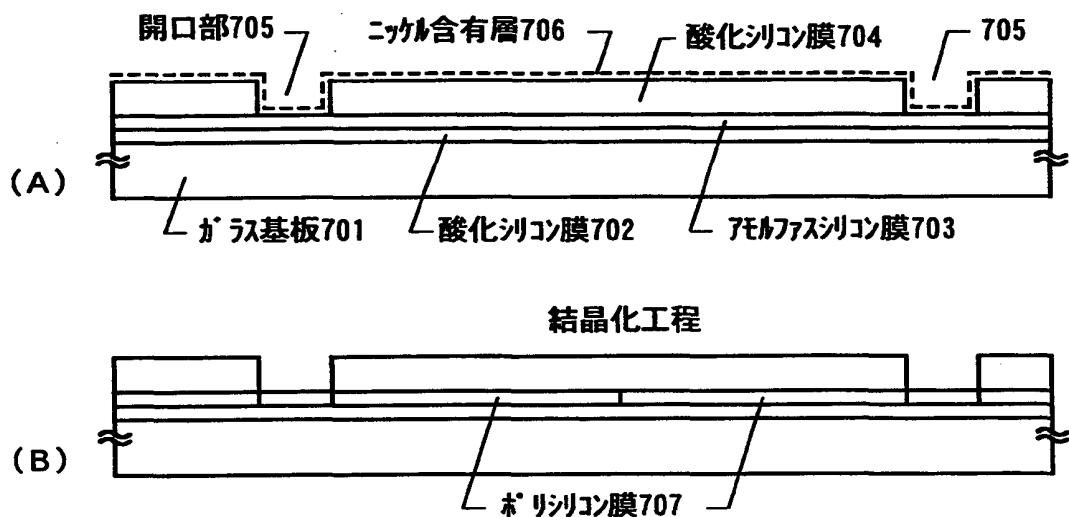
【図5】



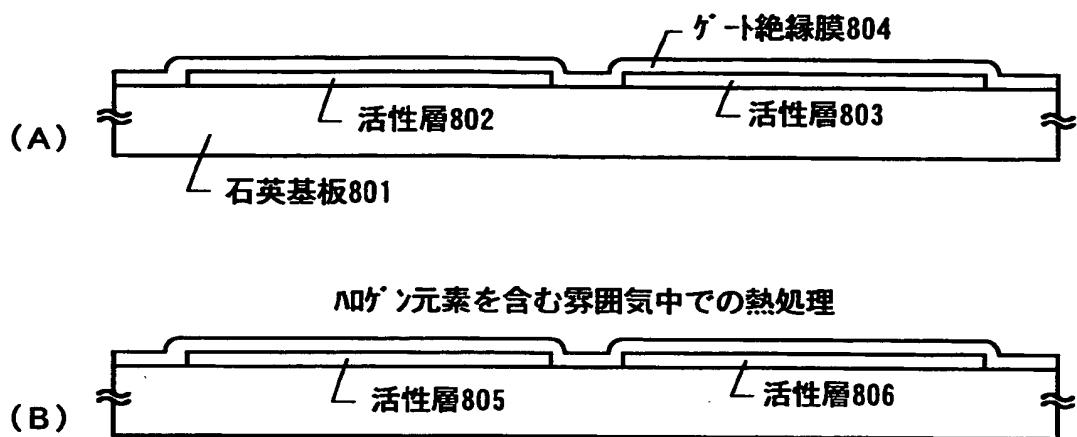
【図6】



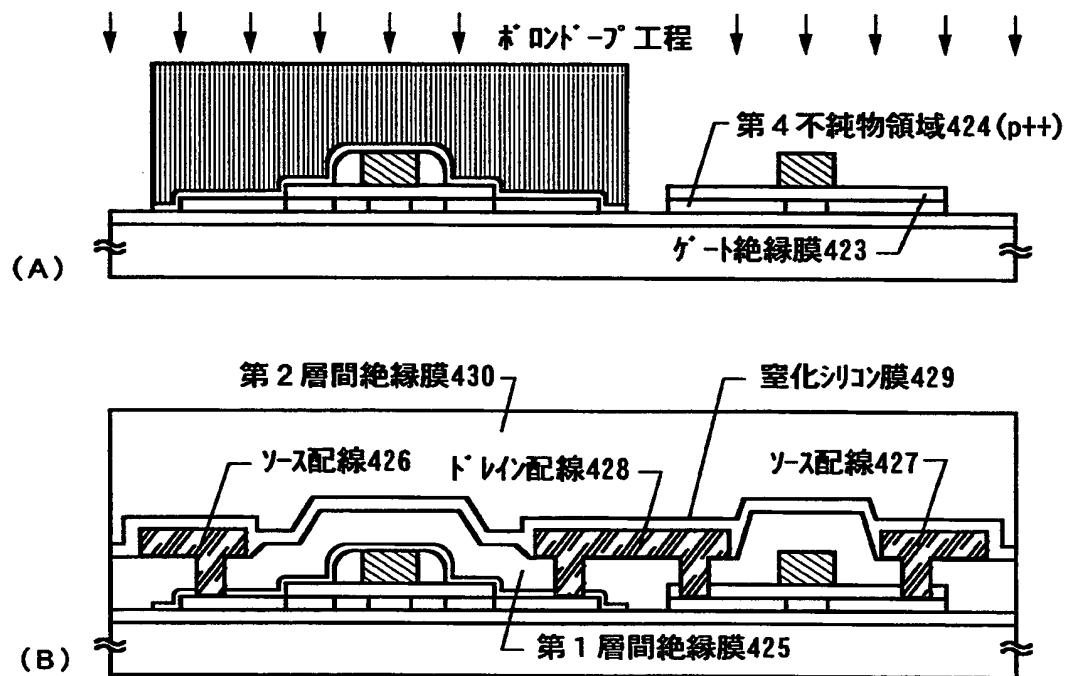
【図7】



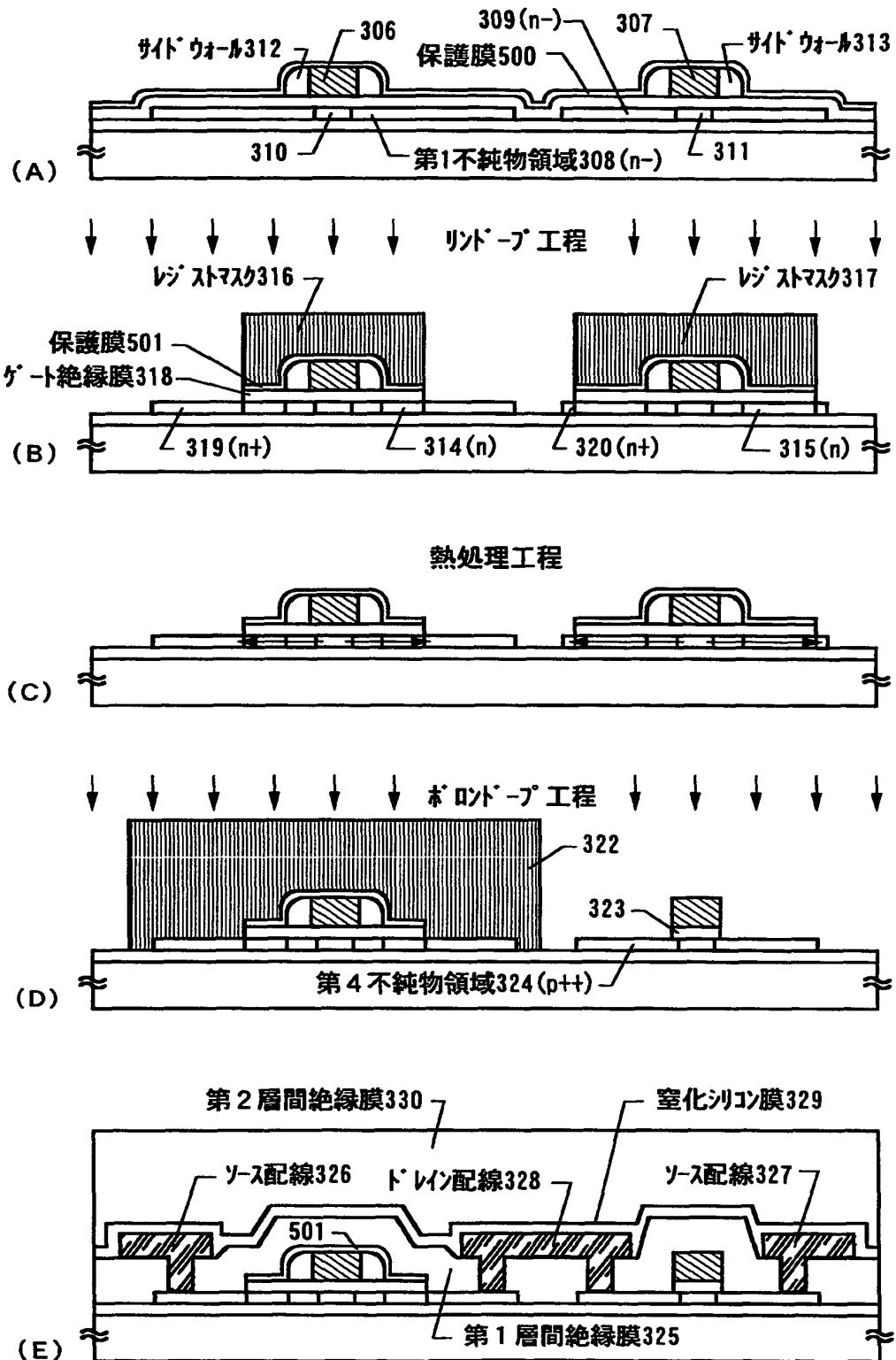
【図8】



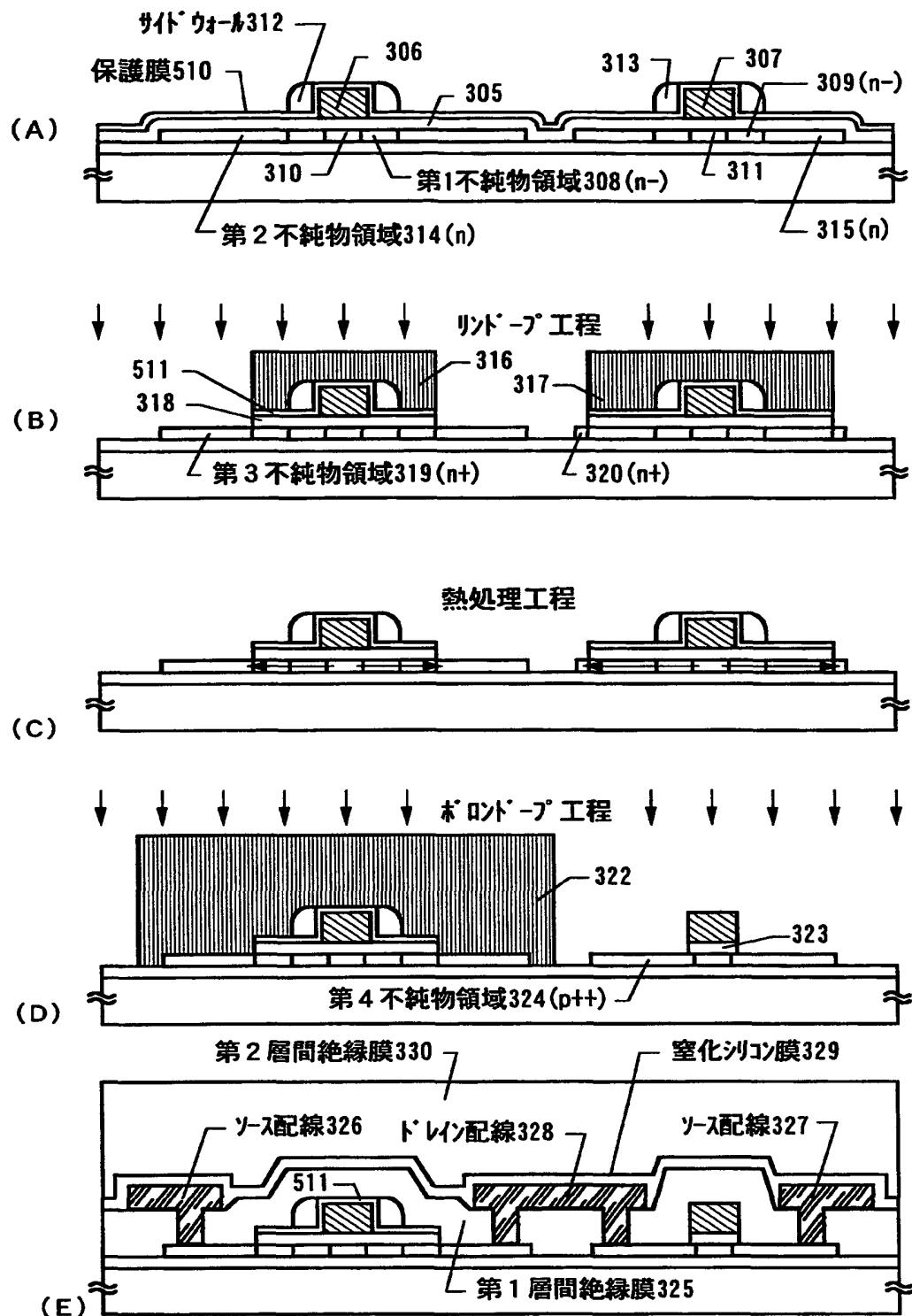
【図9】



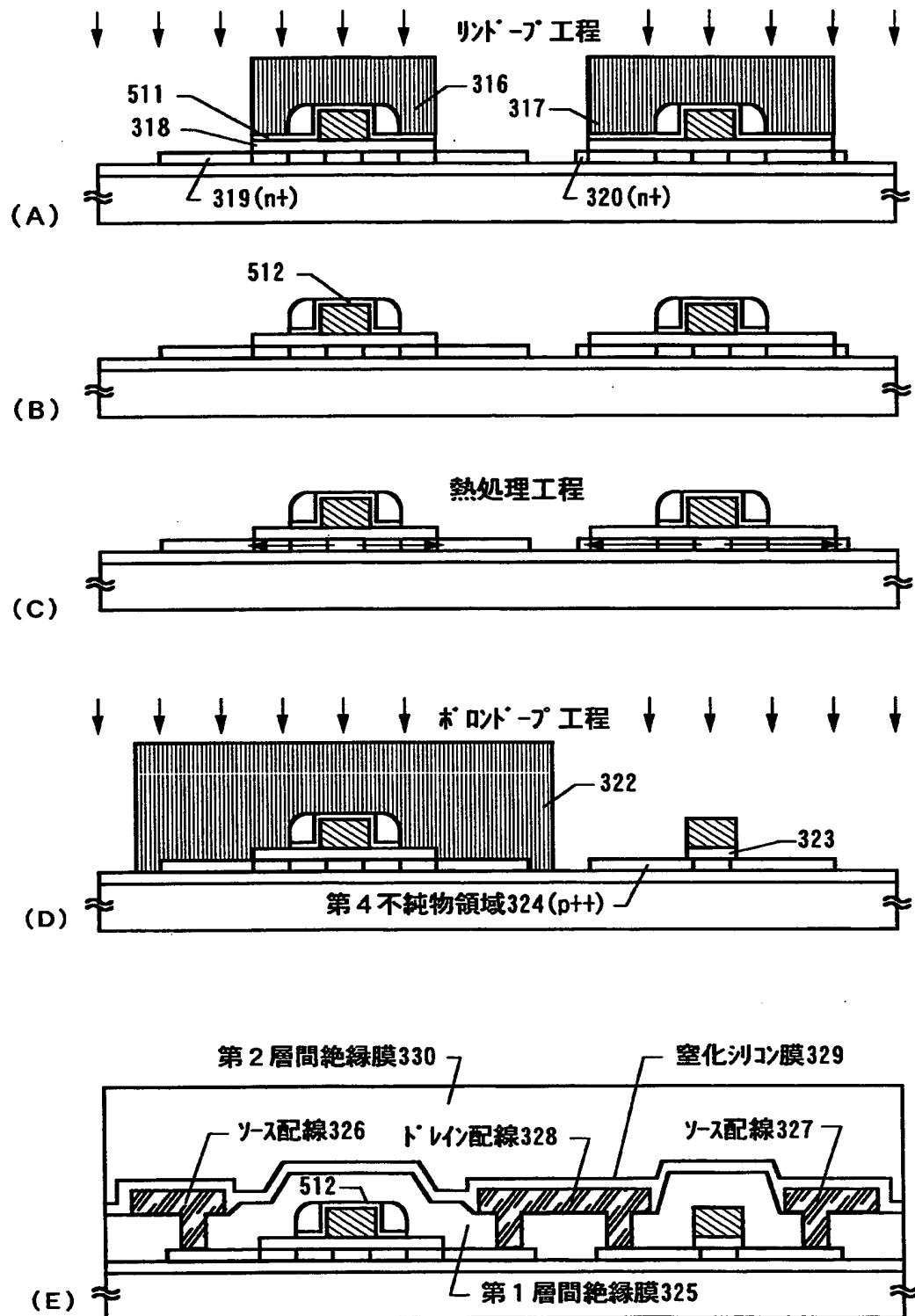
【図10】



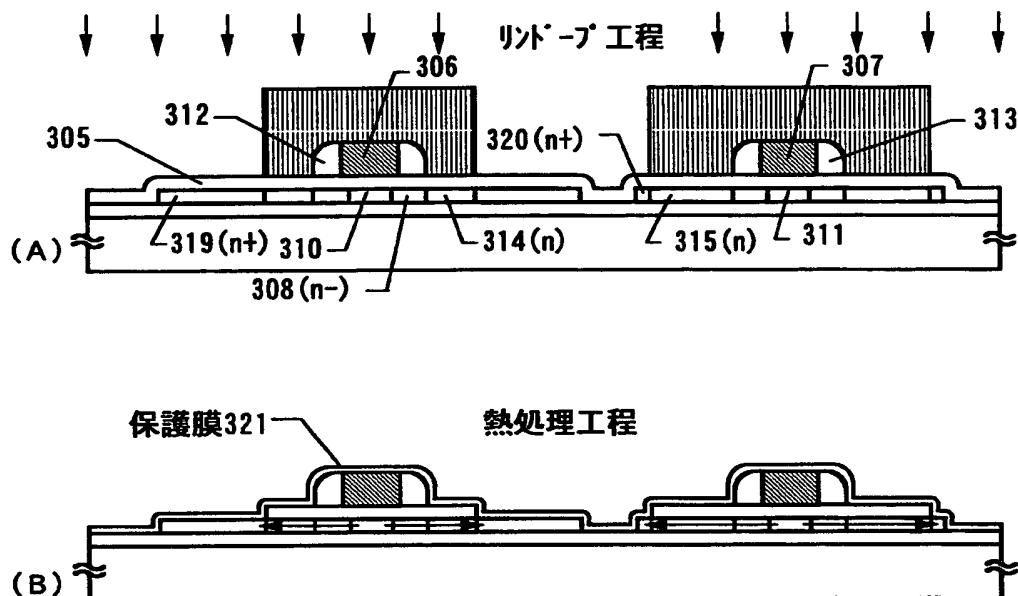
【図11】



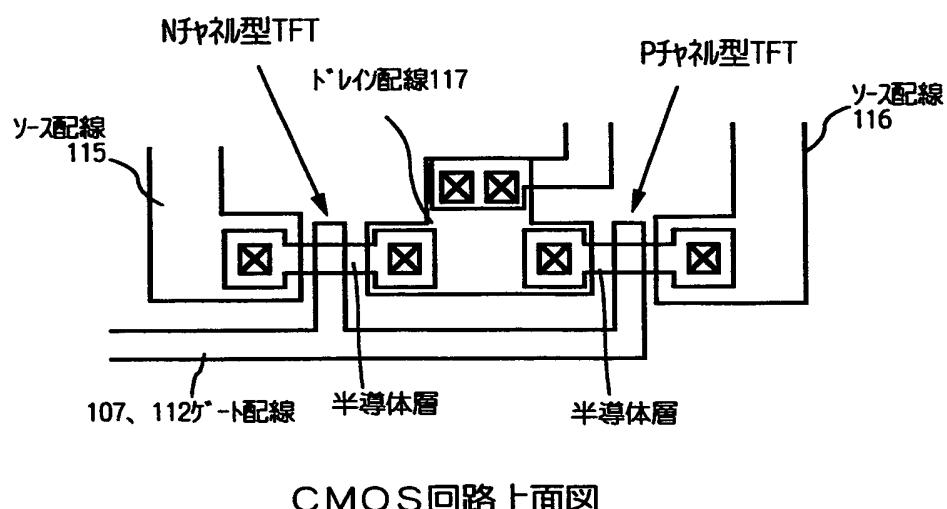
【図12】



【図13】



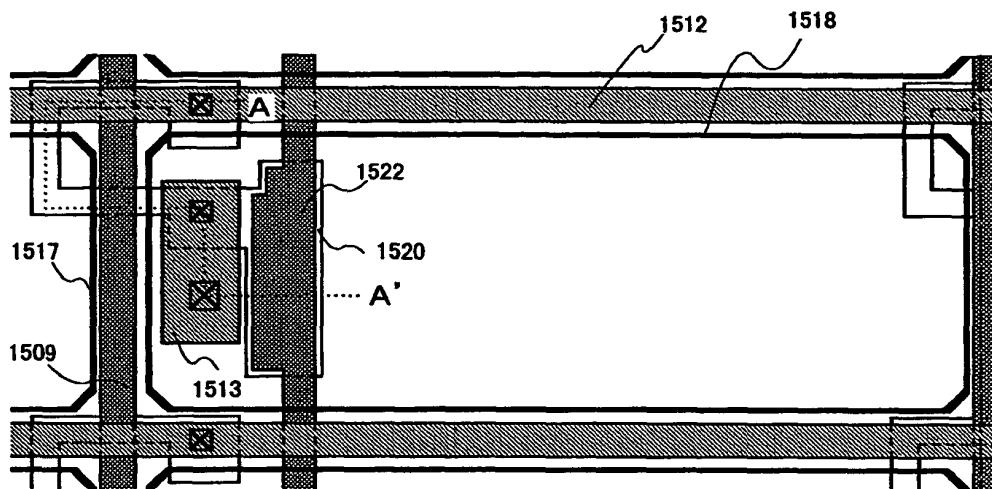
【図14】



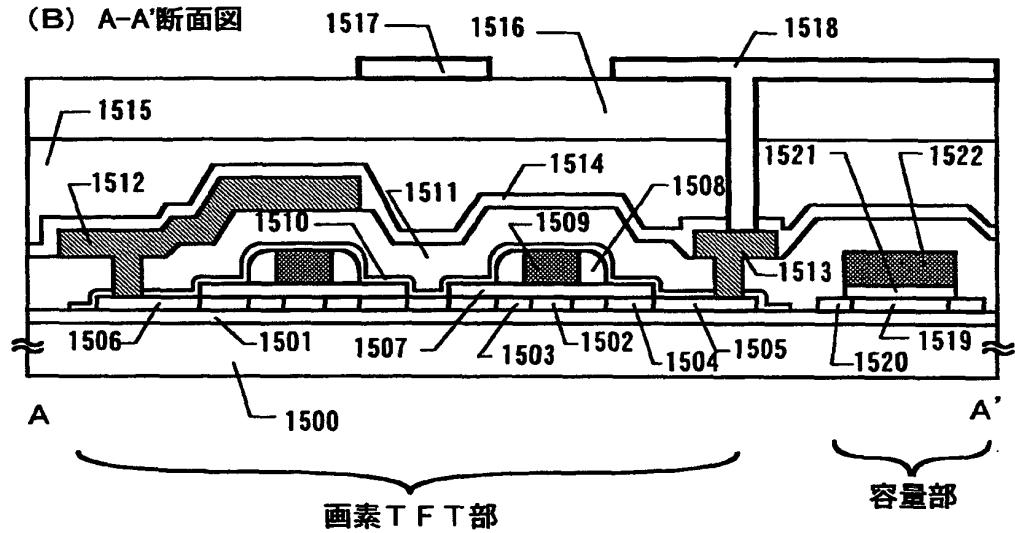
CMOS回路上面図

【図15】

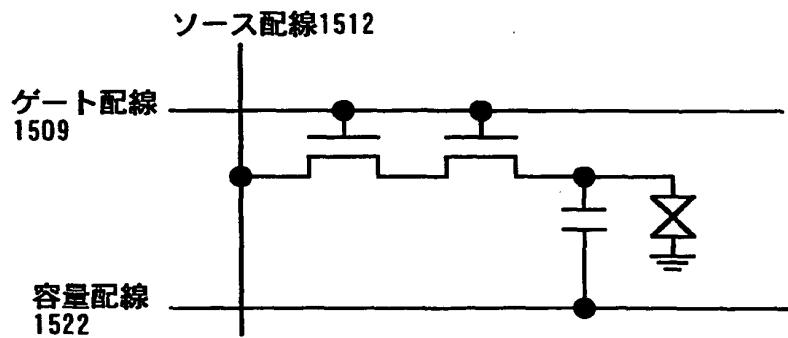
(A) 上面図



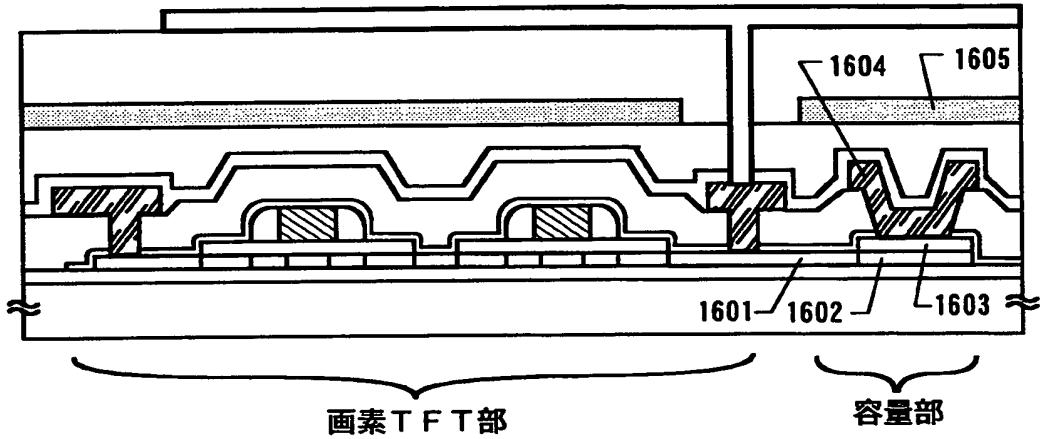
(B) A-A'断面図



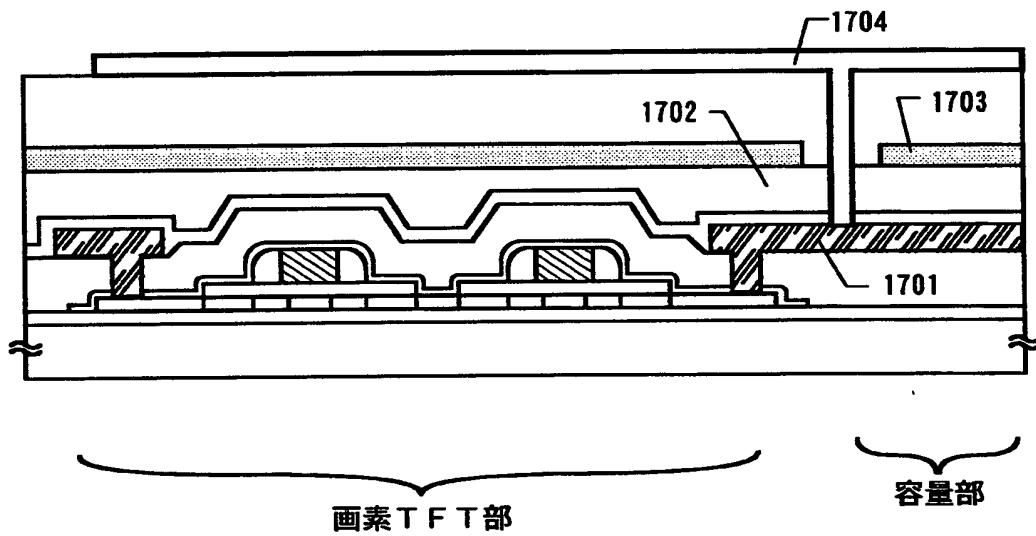
(C) 回路図



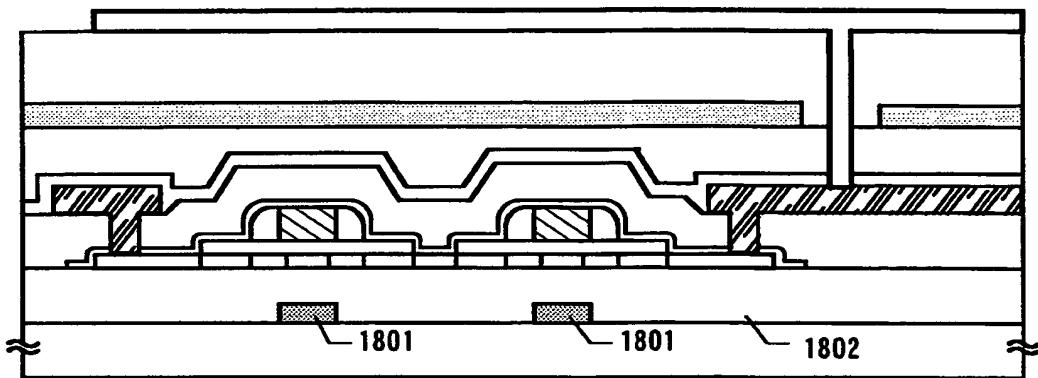
【図16】



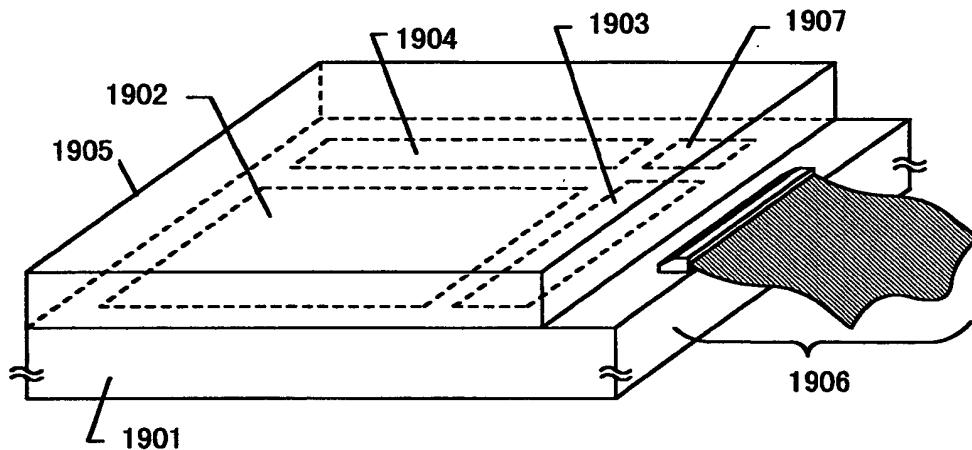
【図17】



【図18】

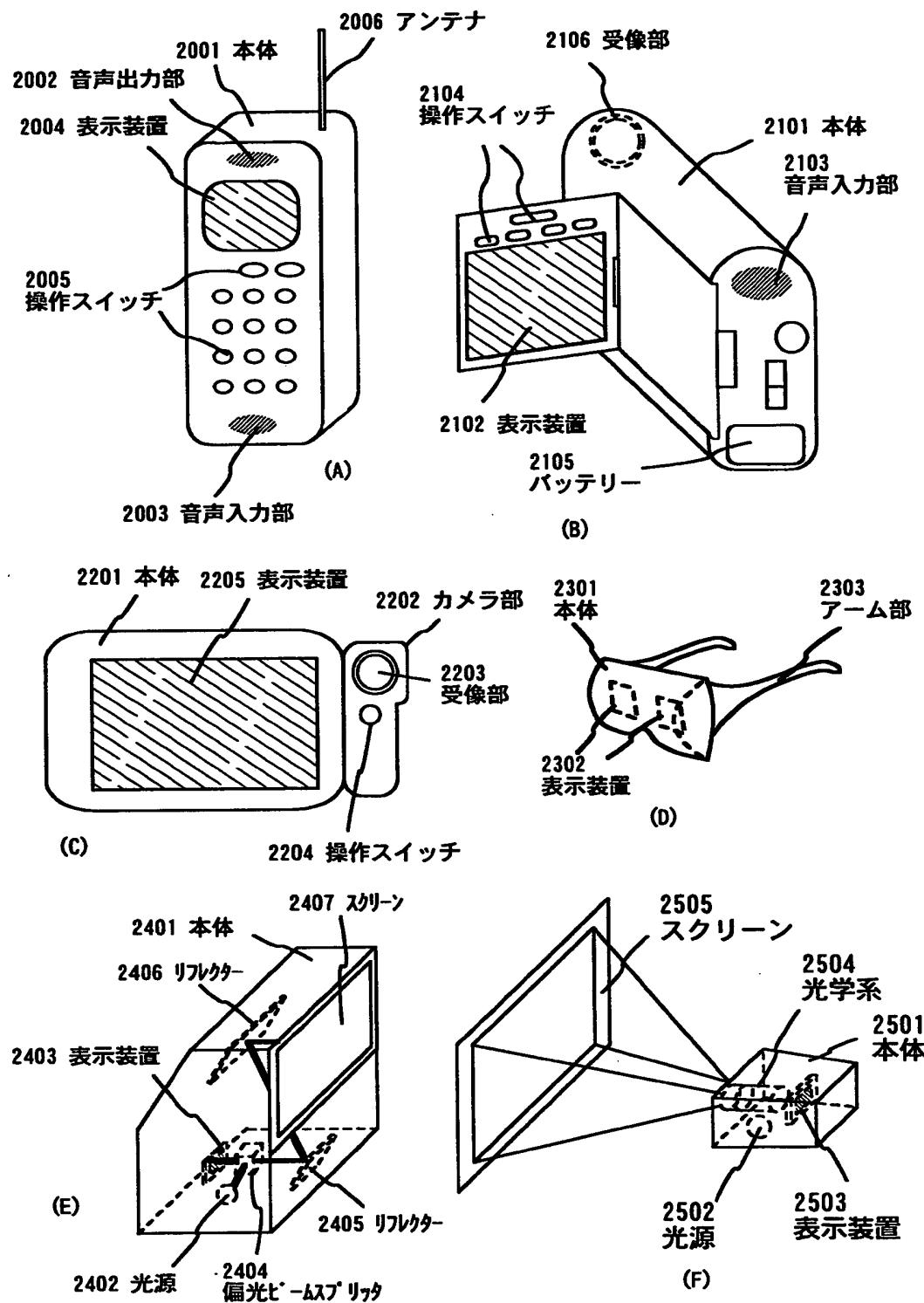


【図19】

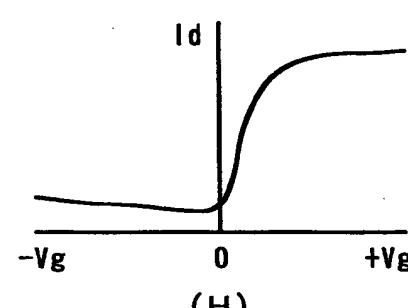
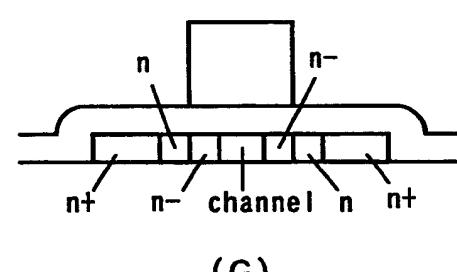
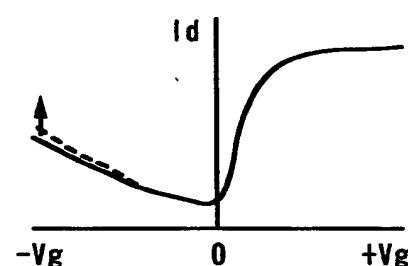
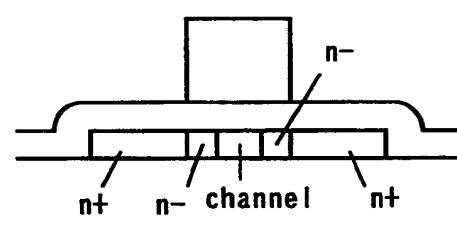
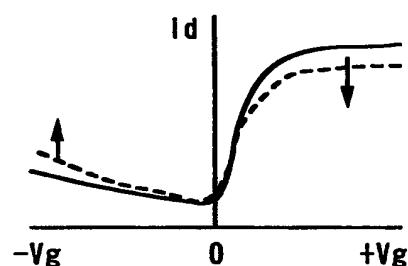
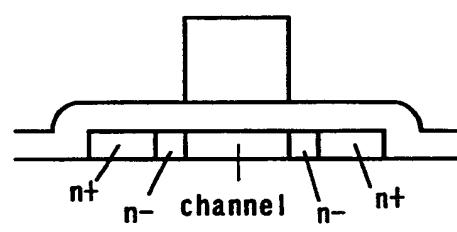
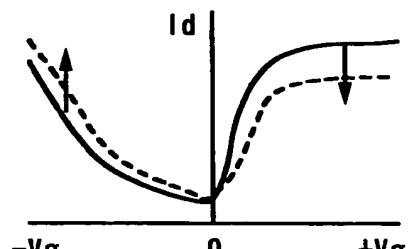
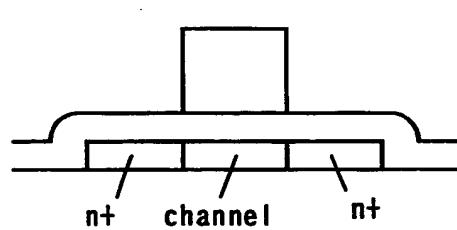


1901：絶縁表面を有する基板 1902：画素マトリクス回路
1903：ソースドライバ-回路 1904：ゲートドライバ-回路 1905：対向基板
1906：FPC 1907：信号処理回路

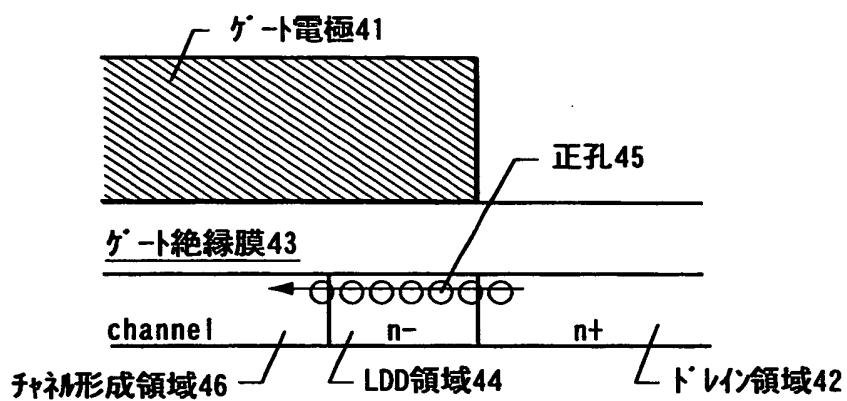
【図20】



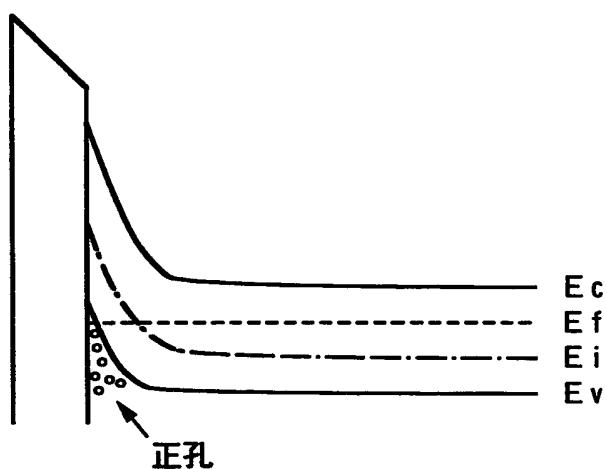
【図21】



【図22】



(A)



(B)

【書類名】 要約書

【要約】

【課題】 信頼性の高い半導体装置を実現する。

【解決手段】 N TFT の活性層をチャネル形成領域 102、第 1 不純物領域 103、第 2 不純物領域 104 及び第 3 不純物領域 105 で形成する。この時、各不純物領域の不純物濃度はチャネル形成領域 102 から遠くなるほど高くなるよう設けられる。さらに、第 1 不純物領域 102 はサイドウォール 108 と重なるように配置され、サイドウォール 108 を電極として機能させることで実質的なゲートオーバーラップ構造を実現する。

【選択図】 図 1

【書類名】 職権訂正データ

【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】 申請人

【識別番号】 000153878

【住所又は居所】 神奈川県厚木市長谷398番地

【氏名又は名称】 株式会社半導体エネルギー研究所

【書類名】 手続補正書
 【提出日】 平成11年 1月 8日
 【あて先】 特許庁長官 殿
 【事件の表示】
 【出願番号】 平成10年特許願第319671号

【補正をする者】
 【事件との関係】 特許出願人
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平

【手続補正 1】
 【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更
 【補正の内容】

【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 山崎 舜平
 【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 大谷 久
 【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 浜谷 敏次
 【その他】 補正の理由は、氏名の「浜」を誤って漢字変換し、旧字である「濱」とした誤記を訂正するためである。

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所